

16 位 4 通道/8 通道 250KSPS PuISAR 模数转换器

1 特性

- 16 位分辨率，无失码
- 4通道 (RS1434)/8 通道 (RS1438)多路复用器，可选择输入
- 单极单端
- 差分 (GND检测)
- 伪双极性
- 吞吐量: 250 kSPS
- 积分非线性 INL: $\pm 1.5\text{LSB}$ 典型值, $\pm 3\text{LSB}$ 最大值 (FSR 的 $\pm 46\text{ppm}$)
- 动态范围: 91.5dB
- 模拟输入范围: 0 V 至 V_{REF} , V_{REF} 高达 VDD
- 多种基准电压源类型:
 - 内部可选 2.5 V 或 4.096 V
 - 外部缓冲 (高达 4.096 V)
 - 外部 (高达 VDD)
- 内部温度传感器 (TEMP)
- 通道时序控制器、可选 1 极滤波器、忙碌指示器
- 无流水线延迟, SAR 架构
- 单电源 2.3 V 至 5.5 V 工作电压, 具有 1.8 V 至 5.5 V 逻辑接口
- 串行接口与 SPI、MICROWIRE、QSPI 和 DSP 兼容
- 功耗:
 - 2.5 V/200 kSPS 时为 4.3 mW
 - 5 V/250 kSPS 时为 14.6 mW
- 待机电流: 50 nA
- 提供低成本等级

2 应用

- 多通道系统监测
- 电池供电设备
- 医疗器械: ECG/EKG
- 移动通信: GPS
- 电力线监测
- 数据采集
- 地震数据采集系统
- 仪表过程控制

3 概述

RS1434/RS1438 是 4 通道/8 通道、16 位、电荷再分配逐次逼近寄存器 (SAR) 模数转换器 (ADC)，采用单电源 VDD 供电。

RS1434/RS1438 包含用于多通道、低功耗数据采集系统的所有组件，包括一个无失码的真 16 位 SAR ADC；一个 4 通道 (RS1434) / 8 通道 (RS1438) 低串扰多路复用器，可用于将输入配置为单端 (带或不带接地感应)、差分或双极性；一个内部低温漂基准电压源 (可选 2.5 V 或 4.096 V) 和一个缓冲器；温度传感器；一个可选的单极滤波器；以及一个当按顺序连续扫描通道时非常有用的排序器。

RS1434/RS1438 使用简单的串行端口接口 (SPI) 写入配置寄存器并接收转换结果。SPI 接口使用单独的电源 VIO，该电源设置为主机逻辑电平。功耗随吞吐量变化而变化。

器件信息 (1)

型号	封装	封装尺寸 (标称值)
RS1434	QFN4X4-20	4.00 mm × 4.00 mm
RS1438	QFN4X4-20	4.00 mm × 4.00 mm

(1) 详细的订单型号说明，请参考数据表后的封装选项部分。

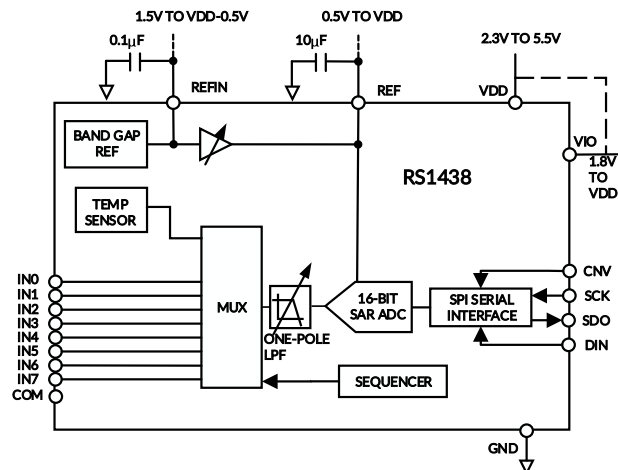


图 1. 功能框图

目录

1 特性.....	1
2 应用.....	1
3 概述.....	1
4 修订历史.....	3
5 封装和订单说明 ⁽¹⁾	4
6 引脚定义和功能.....	5
7 规格.....	7
7.1 绝对最大额定参数.....	7
7.2 ESD 等级.....	7
7.3 参数规格.....	8
7.4 时序规格.....	12
7.5 典型参数曲线.....	15
8 术语.....	18
9 工作原理.....	20
9.1 概览.....	20
9.2 转换器操作.....	20
9.3 传递函数.....	21
9.4 典型应用框图.....	22
9.4.1 单极性或双极性.....	23
9.4.2 双极单电源.....	23
9.5 模拟输入.....	23
9.5.1 输入架构.....	23
9.5.2 可选低通滤波器.....	24
9.5.3 输入配置.....	24
9.5.4 排序器.....	25
9.5.5 源电阻.....	25
9.6 驱动放大器的选择.....	25
9.7 电压基准输出/输入.....	26
9.7.1 内部基准源/温度传感器.....	26
9.7.2 外部基准源和内部缓冲器.....	27
9.7.3 外部基准源.....	27
9.7.4 基准源解耦.....	28
9.8 电源.....	28
9.9 基准源供电 ADC.....	29
10 数字接口.....	30
10.1 转换期间读/写, 快速主机.....	30
10.2 转换后读/写, 任何速度主机.....	30
10.3 读/写跨越转换, 任何速度主机.....	30
10.4 配置寄存器, CFG.....	31
10.5 无忙碌指示器的通用时序.....	33
10.6 带忙碌指示器的通用时序.....	34
10.7 通道排序器.....	35
10.7.1 示例.....	35
10.8 无忙碌指示器的读/写跨越转换.....	36
10.9 带忙碌指示器的读/写跨度转换.....	37
11 封装规格尺寸.....	39
12 包装规格尺寸.....	40

4 修订历史

注意: 更新前的版本页码可能与当前版本不同。

版本	更新日期	变更项目
A.0	2024/12/10	初始版
A.0.1	2025/08/11	1. 更新包装规格 2. 增加包装规格尺寸关键参数表
A.0.2	2026/09/10	增加 RS1434 相关信息

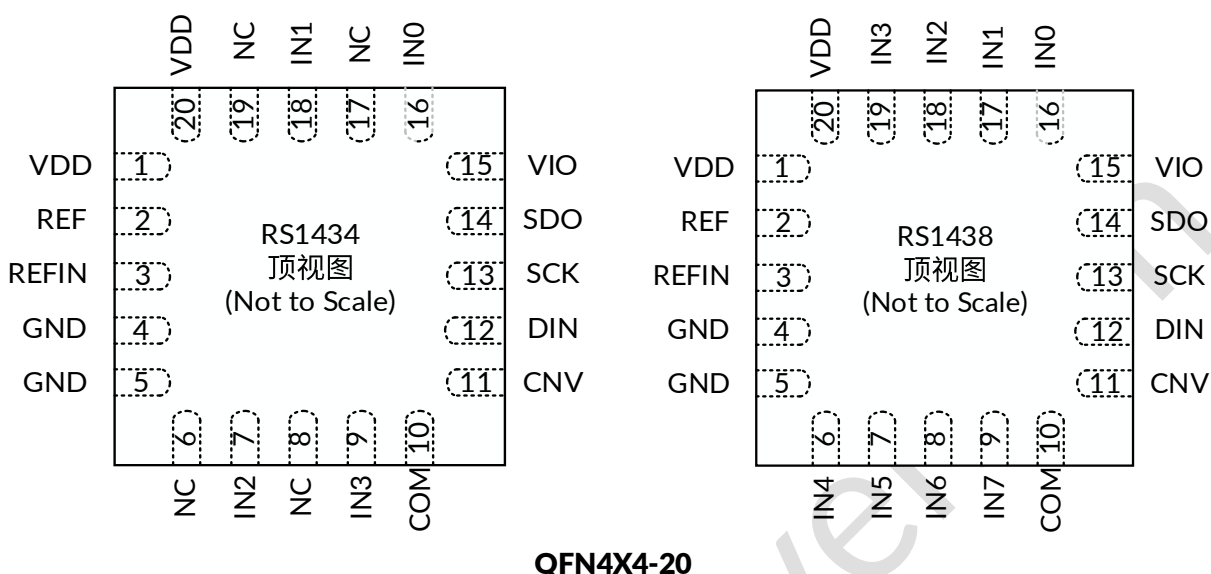
5 封装和订单说明⁽¹⁾

产品名称	订单型号	工作温度(°C)	封装类型	丝印 ⁽²⁾	MSL ⁽³⁾	包装规格
RS1434	RS1434XTQR20	-40°C ~+125°C	QFN4X4-20	RS1434	MSL1	Tape and Reel, 3000
RS1438	RS1438XTQR20	-40°C ~+125°C	QFN4X4-20	RS1438	MSL1	Tape and Reel, 3000

注意:

- (1) 该信息是当前版本的最新数据。这些数据如有更新，将及时更新到我司官网，恕不另行通知。
- (2) 丝印可能会有其他附加的代码，用于产品的内控追溯（包括数据代码和供应商代码）或者标志产地。
- (3) Runic 装配厂使用符合 JEDEC 工业标准 J-STD-20F 的通用预处理设置对 MSL 级别进行分类。如果您的最终应用对预处理设置非常关键，或者您有特殊要求，请与 Runic 技术支持联系。

6 引脚定义和功能



引脚功能

引脚号	RS1434	RS1438	类型	功能说明
1, 20	VDD	VDD	P	电源。当使用外部基准并与 10 μ F 和 100 nF 电容器去耦时，标称值为 2.5 V 至 5.5 V。当将内部基准用于 2.5 V 输出时，最小值必须为 3.0 V。当内部基准用于 4.096V 输出时，最小值必须为 4.5 V。
2	REF	REF	AI/O	基准输入/输出。参见电压基准输出/输入部分。当内部基准使能时，此引脚产生 2.5 V 或 4.096 V 的可选系统参考。当内部基准禁用且缓冲器使能时，REF 会产生 REFIN 引脚上电压的缓冲版本（VDD - 0.5 V，最大值），这在使用低成本、低功耗基准时非常有用。为了提高温漂性能，请将精密基准源连接到 REF（0.5 V 至 VDD）。对于任何基准方法，该引脚都需要使用尽可能靠近 REF 连接的外部 10 μ F 电容器去耦。请参阅基准去耦部分。
3	REFIN	REFIN	AI/O	内部基准输出/基准缓冲器输入。参见电压基准输出/输入部分。使用内部基准时，存在内部无缓冲基准电压，需要使用 0.1 μ F 电容器去耦。使用内部基准缓冲器时，需要施加一个介于 0.5 V 和（VDD - 0.5 V）之间的基准源，该基准源缓冲到 REF 引脚，如 REF 引脚说明中所述。
4, 5	GND	GND	P	电源接地。
6	NC	IN4	AI	无连接。(RS1434) 模拟输入通道 4。(RS1438)
7	IN2	IN5	AI	模拟输入通道 2。(RS1434) 模拟输入通道 5。(RS1438)
8	NC	IN6	AI	无连接。(RS1434) 模拟输入通道 6。(RS1438)

引脚号	RS1434	RS1438	类型	功能说明
9	IN3	IN7	AI	模拟输入通道 3。(RS1434) 模拟输入通道 7。(RS1438)
10	COM	COM	AI	公共通道输入。所有输入通道 IN[7:0] 都可以以 0 V 或 $V_{REF}/2$ V 的共模点为基准。
11	CNV	CNV	DI	转换输入。在上升沿, CNV 启动转换。在转换过程中, 如果 CNV 保持为低电平, 则启用忙碌指示器。
12	DIN	DIN	DI	数据输入。使用此输入脚写入 14 位配置寄存器。在转换期间和转换之后, 可以写入配置寄存器。
13	SCK	SCK	DI	串行数据时钟输入。该输入用于以 MSB 优先方式对 SDO 上的数据进行时钟输出, 并在 DIN 上对数据进行时钟输入。
14	SDO	SDO	DO	串行数据输出。转换结果在此引脚上输出, 同步到 SCK。在单极性模式下, 转换结果是直接的二进制。在双极性模式下, 转换结果是二进制补码。
15	VIO	VIO	P	输入/输出接口数字电源。与主机接口采用相同的电源 (1.8 V、2.5 V、3 V 或 5 V)。
16	IN0	IN0	AI	模拟输入通道 0。
17	NC	IN1	AI	无连接。(RS1434) 模拟输入通道 1。(RS1438)
18	IN1	IN2	AI	模拟输入通道 1。(RS1434) 模拟输入通道 2。(RS1438)
19	NC	IN3	AI	无连接。(RS1434) 模拟输入通道 3。(RS1438)
21	EPAD	EPAD	NC	裸露焊盘。裸露的焊盘未在内部连接。为了提高焊点的可靠性, 建议将焊盘焊接到系统接地层。

7 规格

7.1 绝对最大额定参数

在自然通风温度范围内（除非特别注明）⁽¹⁾

参数		最小值	最大值	单位
模拟输入				
IN _x , COM		GND-0.3	VDD+0.3	V
REF, REFIN		GND-0.3	VDD+0.3	V
电源				
VDD, VIO 至 GND		-0.3	7	V
VIO 至 VDD		-0.3	VDD + 0.3	V
DIN, CNV, SCK 至 GND		-0.3	VIO + 0.3	V
SDO 至 GND		-0.3	VIO + 0.3	V
结至环境热阻 ⁽²⁾	QFN4X4-20		55	°C/W
储存温度范围		-65	+150	°C
结温 ⁽³⁾			+150	°C

(1) 这里只表示产品在测试条件下得到的极限值，并不表示产品在这些条件下或者其他超出规格限定的参数条件下能够正常工作，超过上述绝对最大额定值所规定的范围将对产品造成损害，无法预测产品在上述条件外的工作状态。如果产品长期在上述条件外的条件下工作，可能影响产品性能。

(2) 封装热阻抗根据 JEDEC-51 标准计算。

(3) 最大功耗是有关 $T_{J(MAX)}$ 、 $R_{\theta JA}$ 和 T_A 的函数。任意环境温度下的最大功耗为 $P_D = (T_{J(MAX)} - T_A) / R_{\theta JA}$ 。适用于直接焊接到 PCB 上的封装。

7.2 ESD 等级

以下 ESD 信息仅针对在防静电保护区内操作的敏感设备。

			标称值	单位
V _(ESD)	静电放电	人体模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 规范 ⁽¹⁾	±4000	V
		带电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 规范 ⁽²⁾	±1500	

(1) JEDEC 文件 JEP155 指出，500V HBM 允许使用标准 ESD 控制过程进行安全制造。

(2) JEDEC 文件 JEP157 指出，250V CDM 允许使用标准 ESD 控制过程进行安全制造。



ESD 灵敏性警告

ESD 损坏的范围可以从细微的性能下降到完全的设备失效。精密集成电路可能更容易受到损坏，因为非常小的参数变化有可能导致器件不符合其公布的参数规格。

7.3 参数规格

测试条件为：VDD=2.3V 至 5.5V, VIO = 1.8V 至 VDD, 参考电压 (V_{REF}) = VDD, 所有规格, $T_A = -40 \sim +125^\circ\text{C}$, 除非特别注明。

参数	测试条件	最小值	典型值	最大值	单位
分辨率		16			Bits
模拟输入					
电压范围	单极性模式	0		$+V_{REF}$	V
	双极性模式	$-V_{REF}/2$		$+V_{REF}/2$	V
绝对输入电压	正输入, 单极性和双极性模式	-0.1		$V_{REF}+0.1$	V
	负输入或 COM 输入, 单极性模式	-0.1		+0.1	V
	负输入或 COM 输入, 双极性模式	$V_{REF}/2-0.1$	$V_{REF}/2$	$V_{REF}/2+0.1$	V
模拟输入 CMRR ⁽¹⁾	输入频率 (f_{IN}) = 10 kHz		75		dB
25°C 输入阻抗时的漏电流 ⁽²⁾	采集相位		1		nA
吞吐量					
转化率					
全带宽 ⁽³⁾	VDD = 4.5 V to 5.5 V	0		250	kSPS
	VDD = 2.3 V to 4.5 V	0		200	kSPS
¼ 带宽 ⁽³⁾	VDD = 4.5 V to 5.5 V	0		62.5	kSPS
	VDD = 2.3 V to 4.5 V	0		50	kSPS
瞬态响应	满量程阶跃, 全带宽			1.8	μs
	满量程阶跃, ¼ 带宽			14.5	μs
精度					
无失码		16			Bits
积分线性误差			±1.5		LSB ⁽⁴⁾
微分线性误差			±0.4		LSB
过渡噪声	REF = VDD = 5 V		0.6		LSB
增益误差 ⁽⁵⁾			±5		LSB
增益误差匹配			0.5		LSB
增益误差温漂			±0.1		ppm/°C
失调误差 ⁽⁵⁾	VDD = 4.5 V to 5.5 V		±5		LSB
	VDD = 2.3 V to 4.5 V		±5		LSB
失调误差匹配			0.9		LSB
失调误差温漂			0.2		ppm/°C
电源灵敏度	VDD = 5 V ± 5%		±1		LSB

参数规格（续）

测试条件为：VDD=2.3V 至 5.5V, VIO = 1.8V 至 VDD, 参考电压 (V_{REF}) = VDD, 所有规格, $T_A = -40 \sim +125^{\circ}\text{C}$, 除非特别注明。

参数	测试条件	最小值	典型值	最大值	单位
AC 精度⁽⁶⁾					
动态范围			91.5		dB ⁽⁷⁾
信噪比 (SNR)	$f_{IN} = 2\text{kHz}$, $V_{REF} = 5\text{V}$		90.3		dB
	$f_{IN} = 2\text{kHz}$, $V_{REF} = 4.096\text{V}$, 内部 REF		89		dB
	$f_{IN} = 2\text{kHz}$, $V_{REF} = 2.5\text{V}$, 内部 REF		85.2		dB
信纳比 SINAD ⁽⁸⁾	$f_{IN} = 2\text{kHz}$, $V_{REF} = 5\text{V}$		88.8		dB
	$f_{IN} = 2\text{kHz}$, $V_{REF} = 4.096\text{V}$, 内部 REF		88		dB
	$f_{IN} = 2\text{kHz}$, $V_{REF} = 2.5\text{V}$, 内部 REF		85		dB
总谐波失真 (THD)	$f_{IN} = 2\text{kHz}$		-97		dB
无杂散动态范围 (SFDR)	$f_{IN} = 2\text{kHz}$		100		dB
通道间串扰	相邻信道上 $f_{IN} = 100\text{kHz}$		-112		dB
动态采样					
-3 dB 输入带宽	全带宽		1.7		MHz
	1/4 带宽		0.425		MHz
孔径延迟	VDD = 5 V		2		ns
温度范围					
保证性能	最小温度 (T_{MIN}) 至 T_{MAX}	-40		125	$^{\circ}\text{C}$

(1) CMRR 表示共模抑制比。

(2) 请参阅模拟输入部分。

(3) 带宽在配置寄存器中设置。

(4) 在 5 V 输入范围内, 1 LSB 为 76.3 μV 。

(5) 请参阅术语部分。这些规格包括全温度范围变化, 但不包括外部基准的误差贡献。

(6) VDD = 5 V 时, 除非另有说明。

(7) 除非另有说明, 否则所有以分贝表示的规格均指满量程输入范围 (FSR), 并在低于满量程 0.5 dB 的输入信号下进行测试。

(8) 请参阅术语部分。

参数规格（续）

测试条件为：VDD=2.3V 至 5.5V, VIO = 1.8V 至 VDD, 参考电压 (V_{REF}) = VDD, 所有规格, $T_A = -40 \sim +125^{\circ}\text{C}$, 除非特别注明。

参数	测试条件	最小值	典型值	最大值	单位
内部基准					
REF 输出电压	2.5 V at 25°C	2.490	2.500	2.510	V
	4.096 V at 25°C	4.086	4.096	4.106	V
REFIN 输出电压 ⁽¹⁾	2.5 V at 25°C		1.13		V
	4.096 V at 25°C		2.31		V
REF 输出电流			±300		μA
温漂			±10		ppm/°C
线性调整	VDD=5V±5%		25		ppm/V
长期漂移	1000 hours		TBD		ppm
开启稳定时间	参考电容 (C_{REF})=10μF		100		ms
外部基准					
电压范围	REF 输入	0.5		VDD+0.3	V
	REFIN 输入 (已缓冲)	1.5		VDD-0.5	V
漏极电流 ⁽²⁾	250 KSPS, REF = 5 V		70		μA
温度传感					
输出电压 ⁽³⁾	25°C		267		mV
温度灵敏度			0.88		mV/°C
数字输入					
逻辑电平					
输入电压					
低电平 (V_{IL})		-0.3		0.3×VIO	V
高电平 (V_{IH})		0.7×VIO		VIO+0.3	V
输入电流					
低电平 (I_{IL})		-1		+1	μA
高电平 (I_{IH})		-1		+1	μA
数字输出					
数据格式 ⁽⁴⁾					
管道延迟 ⁽⁵⁾					
输出电压					
低电平 (V_{OL})	灌电流 (I_{SINK})=500μA			0.4	V
高电平 (V_{OH})	拉电流 (I_{SOURCE}) = -500 μA	VIO-0.3			V

参数规格（续）

测试条件为：VDD = 2.3V 至 5.5V, VIO = 1.8V 至 VDD, 基准电压 (V_{REF}) = VDD, 所有规格, $T_A = -40 \sim +125^\circ\text{C}$, 除非特别注明。

参数	测试条件	最小值	典型值	最大值	单位
电源					
VDD ⁽⁶⁾	指定性能	2.3		5.5	V
VIO	指定性能	1.8		VDD+0.3	V
待机电流 ^(7,8)	VDD and VIO = 5 V at 25°C		50		nA
功耗	VDD = 2.5 V, 100 SPS 吞吐量		2.1		μW
	VDD = 2.5 V, 200 kSPS 吞吐量		4.3		mW
	VDD = 5 V, 250 kSPS 吞吐量		12	18	mW
	VDD = 5 V, 250 kSPS 吞吐量, 带内部参考		14.6	20	mW
每转换能量	VDD = 5V		50		nJ
温度范围					
指定性能	T_{MIN} to T_{MAX}	-40		125	$^\circ\text{C}$

(1) 这是内部带隙的输出。

(2) 这是一个平均电流, 并随吞吐量而变化。

(3) 输出电压为内部电压, 位于专用多路复用器输入端。

(4) 单极性模式是串行 16 位标准二进制。双极性模式是串行的 16 位二进制补码。

(5) 转换结果在完成转换后立即可用。

(6) 当 2.5 V 内部基准使能时, 最小 VDD 电源必须为 3 V, 当 4.096 V 内部基准使能时, 最小 VDD 电源必须为 4.5 V。有关更多信息, 请参见图 17。

(7) 根据需要将所有数字输入强制到 VIO 或 GND。

(8) 在采集阶段。

7.4 时序规格

测试条件为：VDD = 4.5 V 至 5.5 V, VIO = 1.8 V 至 VDD, 所有规格, $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$, 除非特别注明。有关负载条件, 请参见图 2 和图 3。

参数	符号	最小值	典型值	最大值	单位
转换时间					
CNV 上升沿至数据可用	t_{CONV}			2.2	μs
采集时间	t_{ACQ}	1.8			μs
转换间时间	t_{CYC}	4			μs
转换过程中的数据读写	t_{DATA}			1.2	μs
SCK					
周期	t_{SCK}	$t_{\text{DSDO}}+2$			ns
低电平时间	t_{SCKL}	15			ns
高电平时间	t_{SCKH}	15			ns
下降沿至数据保持有效	t_{HSDO}	10			ns
下降沿至数据有效延迟	t_{DSDO}				
VIO 高于 2.7 V				20	ns
VIO 高于 2.3 V				23	ns
VIO 高于 1.8 V				31	ns
CNV					
脉冲宽度	t_{CNVH}	5			ns
低电平至 SDO DI 5 MSB 有效	t_{EN}				
VIO 高于 2.7 V				13	ns
VIO 高于 2.3 V				15	ns
VIO 高于 1.8 V				18	ns
高电平或最后一个 SCK 下降沿至 SDO 高阻抗	t_{DIS}			15	ns
低电平至 SCK 上升沿	t_{CLSCK}	5			ns
DIN					
从 SCK 上升沿的有效建立时间	t_{SDIN}	5			ns
从 SCK 上升沿的有效保持时间	t_{HDIN}	5			ns

时序规格（续）

测试条件为：VDD = 2.3V 至 4.5V, VIO = 1.8V 至 VDD, 所有规格, $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$, 除非特别注明。有关负载条件, 请参见图 2 和图 3。

参数	符号	最小值	典型值	最大值	单位
转换时间					
CNV 上升沿至数据可用	t_{CONV}			3.2	μs
采集时间	t_{ACQ}	1.8			μs
转换间时间	t_{CYC}	5			μs
转换过程中的数据读写	t_{DATA}			1.2	μs
SCK					
低电平时间	t_{SCK}	$t_{\text{DSDO}+2}$			ns
高电平时间	t_{SCKL}	20			ns
下降沿至数据保持有效	t_{SCKH}	20			ns
下降沿至数据有效延迟	t_{HSDO}	5			ns
低电平时间	t_{DSDO}				
VIO 高于 3V, $T_A \leq 125^{\circ}\text{C}$				24	ns
VIO 高于 2.7V, $T_A \leq 125^{\circ}\text{C}$				30	ns
VIO 高于 2.3V, $T_A \leq 125^{\circ}\text{C}$				30	ns
VIO 高于 1.8V, $T_A \leq 125^{\circ}\text{C}$				36	ns
CNV					
脉冲宽度	t_{CNVH}	5			ns
低电平至 SDO D15 MSB 有效	t_{EN}				
VIO 高于 3V, $T_A \leq 125^{\circ}\text{C}$				37	ns
VIO 高于 2.7V, $T_A \leq 125^{\circ}\text{C}$				43	ns
VIO 高于 2.3V, $T_A \leq 125^{\circ}\text{C}$				52	ns
VIO 高于 1.8V, $T_A \leq 125^{\circ}\text{C}$				60	ns
高电平或最后一个 SCK 下降沿至 SDO 高阻抗	t_{DIS}			50	ns
低电平至 SCK 上升沿	t_{CLSCK}	5			ns
DIN					
从 SCK 上升沿的有效建立时间	t_{SDIN}	5			ns
从 SCK 上升沿的有效保持时间	t_{HDIN}	5			ns

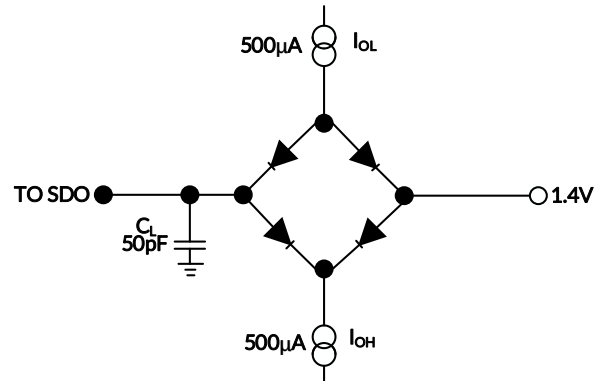
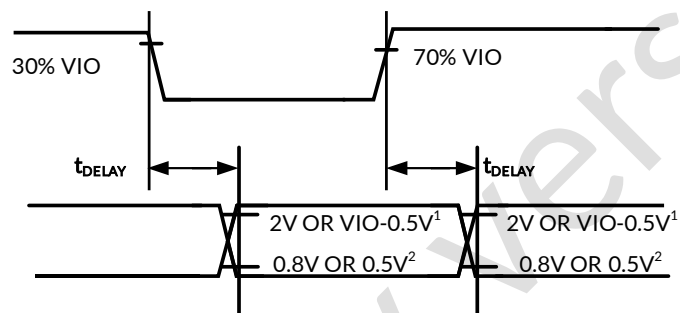


图 2. 用于数字接口定时的负载电路



2V IF VIO ABOVE 2.5V, VIO-0.5V IF VIO BELOW 2.5V.
0.8V IF VIO ABOVE 2.5V, 0.5V IF VIO BELOW 2.5V.

图 3. 时序的电压电平

7.5 典型参数曲线

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

测试条件为： $V_{DD} = 2.5\text{ V}$ 至 5.5 V ， $V_{REF} = 2.5\text{ V}$ 至 5 V ， $V_{IO} = 2.3\text{ V}$ 至 V_{DD} ，除非特别注明。

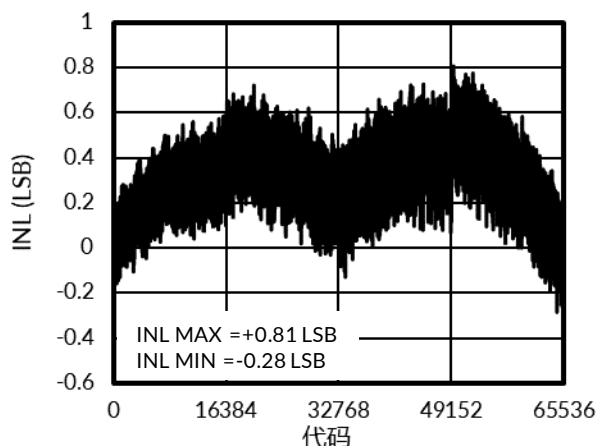


图 4. 积分非线性与代码的关系, $V_{REF}=V_{DD}=5\text{ V}$

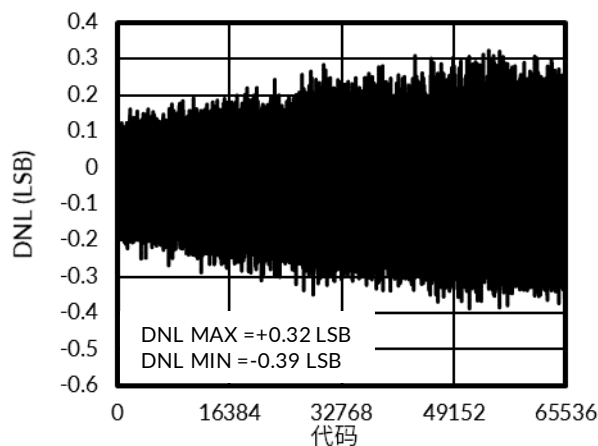


图 5. 微分非线性与代码的关系, $V_{REF}=V_{DD}=5\text{ V}$

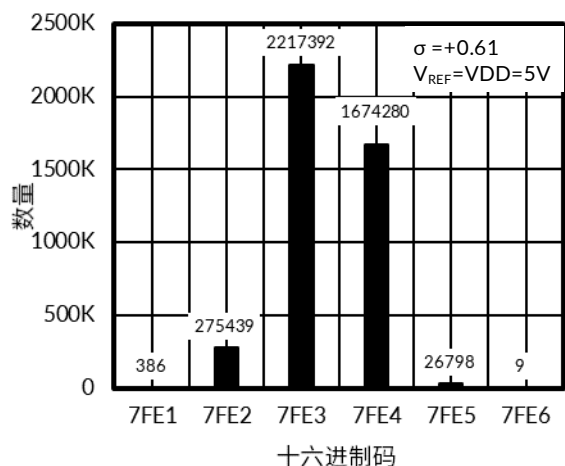


图 6. 代码中心直流输入直方图

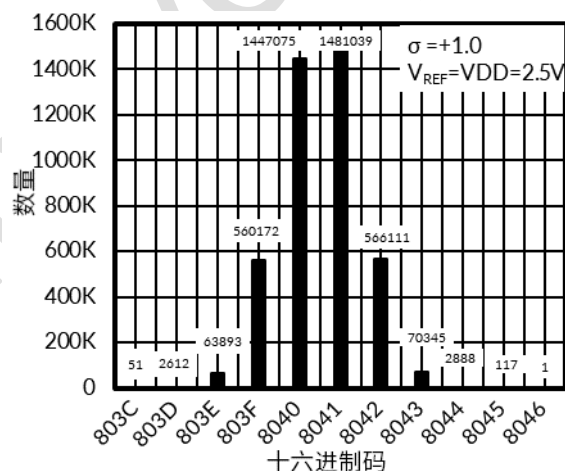


图 7. 代码中心直流输入直方图

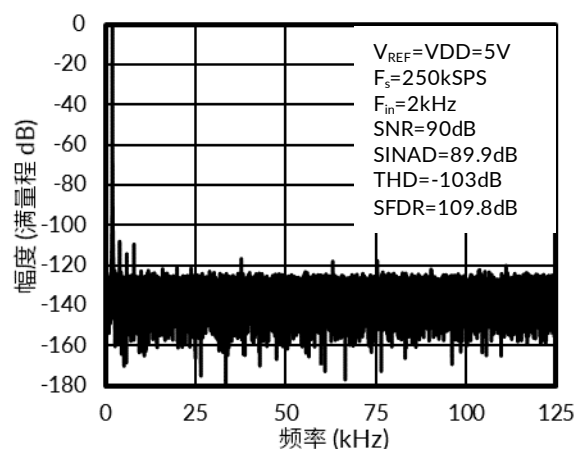


图 8. 2kHz 快速傅里叶变换 (FFT),
 $V_{REF} = V_{DD} = 5\text{ V}$

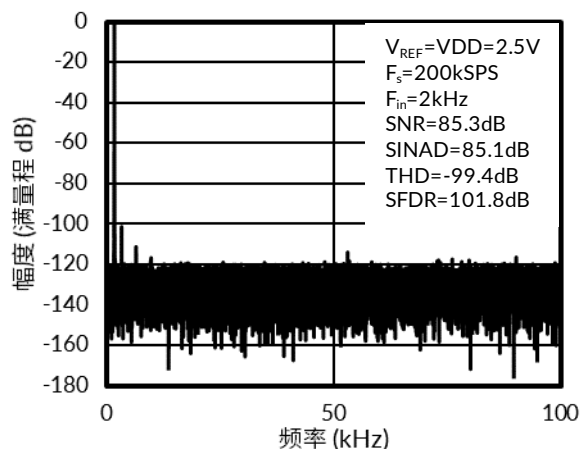


图 9. 2kHz FFT, $V_{REF} = V_{DD} = 2.5\text{ V}$

典型参数曲线（续）

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

除特别注明，测试条件为：VDD = 2.5 V 至 5.5 V, V_{REF} = 2.5 V 至 5 V, V_{IO} = 2.3 V 至 VDD。

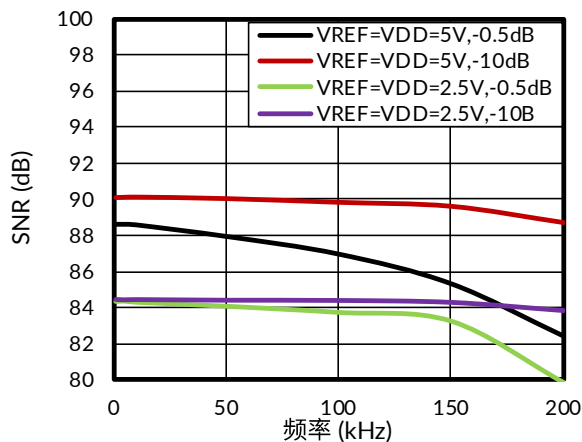


图 10. SNR 与输入频率的关系

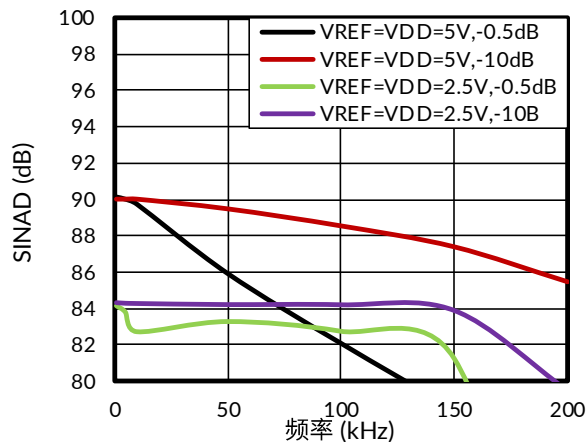


图 11. SINAD 与输入频率的关系

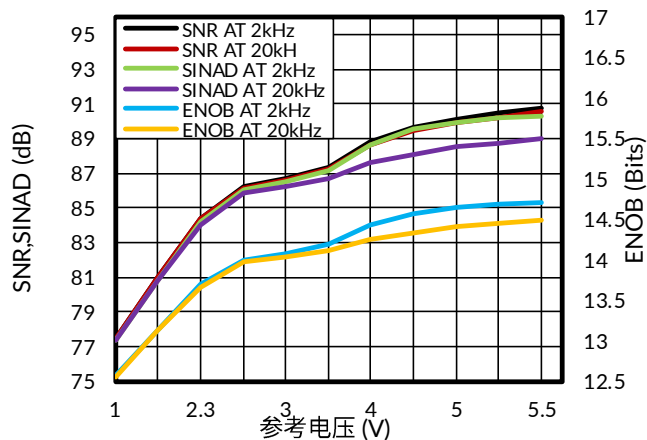


图 12. SNR、SINAD 和有效位数(ENOB)与参考电压的关系

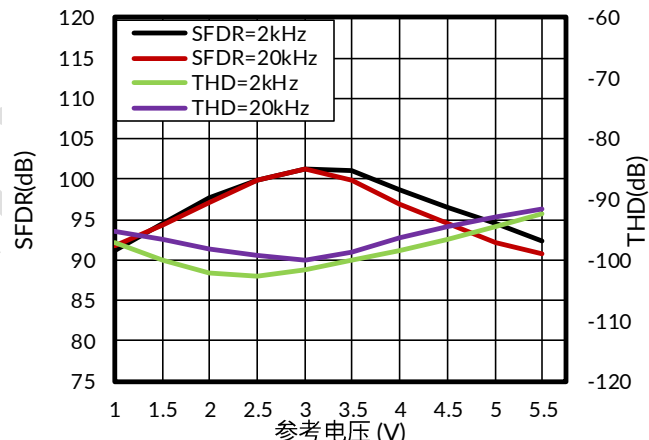


图 13. 无杂散动态范围(SFDR)和 THD 与参考电压的关系

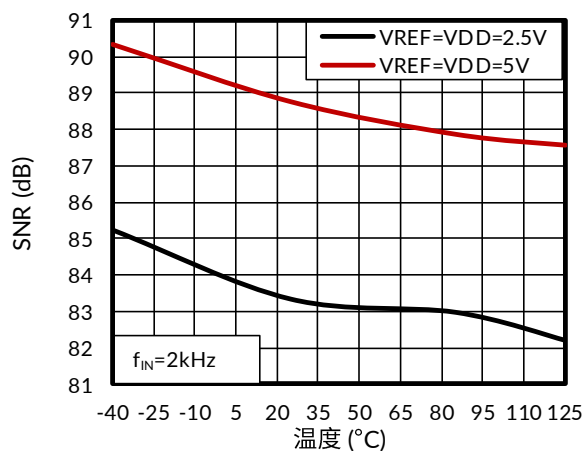


图 14. SNR 与温度的关系

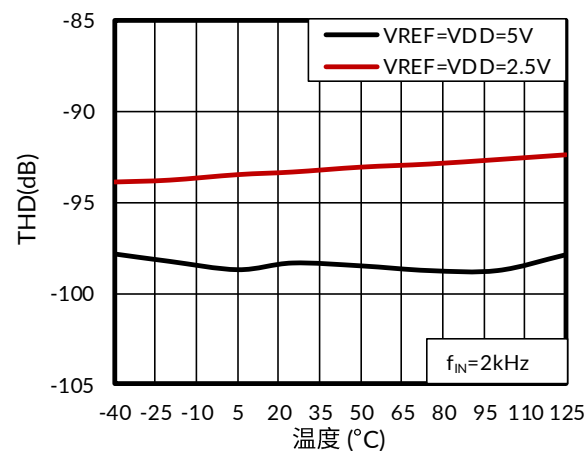


图 15. THD 与温度的关系

典型参数曲线（续）

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

除特别注明，测试条件为：VDD = 2.5 V 至 5.5 V, V_{REF} = 2.5 V 至 5 V, V_{IO} = 2.3 V 至 VDD。

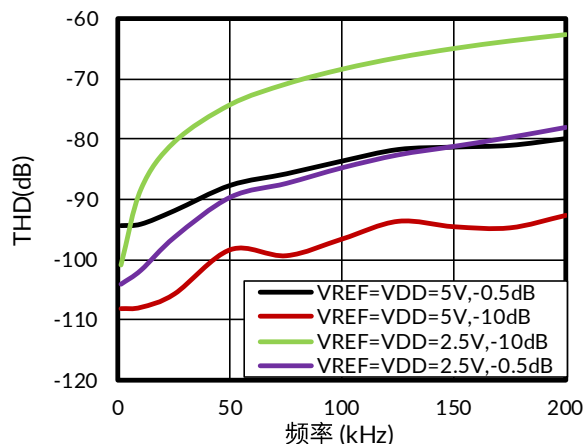


图 16. THD 与频率的关系

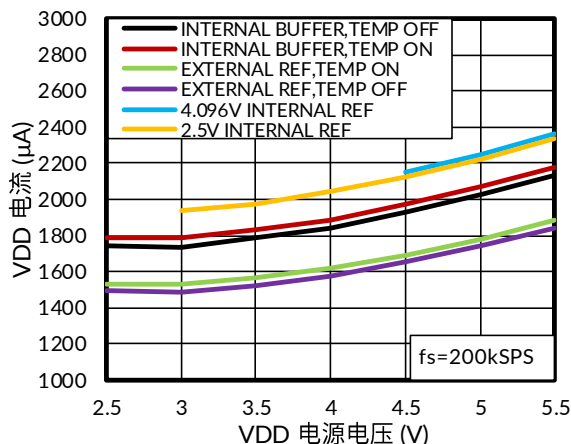


图 17. 工作电流与电源电压的关系

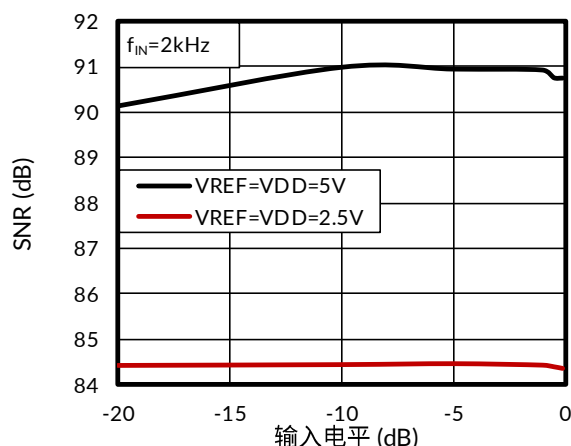


图 18. SNR 与输入电平的关系

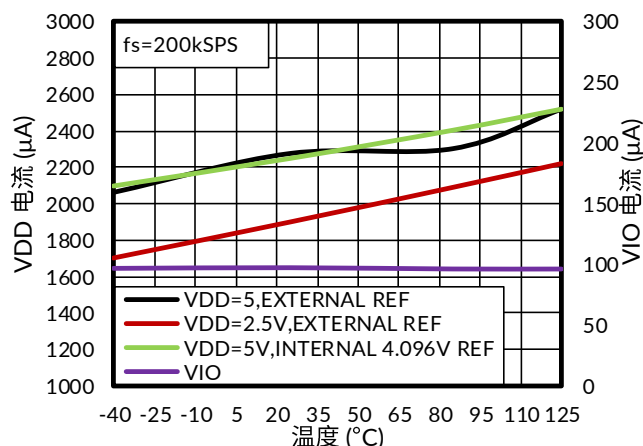


图 19. 工作电流与温度的关系

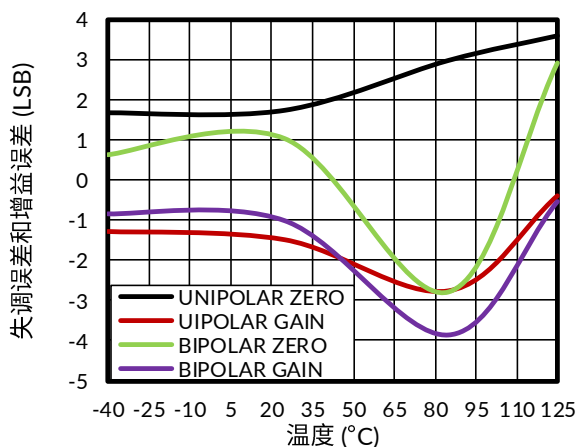


图 20. 失调和增益误差与温度的关系

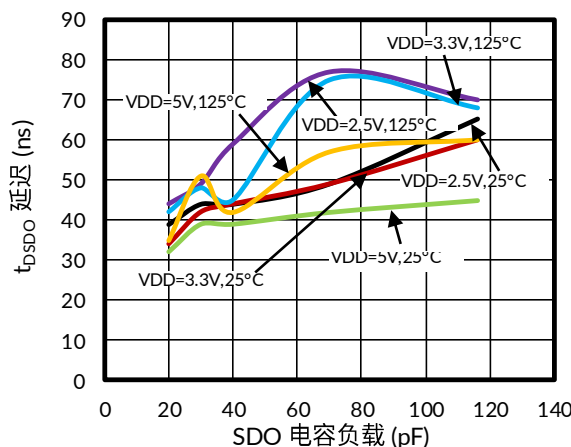


图 21. t_{DSO} 延迟与 SDO 电容负载和电源电压的关系

8 术语

最低有效位 (LSB)

LSB 是转换器表示的最小增量。对于具有 N 位分辨率的 ADC，以伏特表示的 LSB 为

$$\text{LSB}(V) = V_{\text{REF}} / 2^N$$

积分非线性误差 (INL)

INL 是指每个单独的代码与从负满量程到正满量程的线性偏差。用作负满量程的点出现在第一次代码转换之前的 $\frac{1}{2}$ LSB。正满量程定义为超过最后一次代码转换的 $1\frac{1}{2}$ LSB 电平。偏差是从每个代码的中间到真正的直线测量的（参见图 23）。

微分非线性误差 (DNL)

在理想的 ADC 中，代码转换相隔 1 LSB。DNL 是与此理想值的最大偏差。它通常根据保证无缺失代码的分辨率来指定的。

失调误差

第一次转换必须发生在模拟地电位以上 $\frac{1}{2}$ LSB 电平。失调误差是实际转换与该点的偏差。

增益误差

模拟电压低于标称满量程 $1\frac{1}{2}$ LSB 时，必须进行最后一次转换（从 111...10 到 111...11）。增益误差是校正掉失调误差后，最后一次转换的实际电平与理想电平的 LSB（或满量程百分比）的偏差。与此密切相关的是满量程误差（也以 LSB 或满量程范围的百分比为单位），其中包括失调误差的影响。

孔径延迟

孔径延迟是衡量采集性能的指标。它是 CNV 输入信号上升沿到输入信号保持以进行转换的点之间的时间。

瞬态响应

瞬态响应是 ADC 在应用满量程阶跃函数后准确获取其输入所需的时间。

动态范围

动态范围是满量程的 rms 值与输入短路时测得的总 rms 噪声之比。动态范围的值以分贝表示。

信噪比 (SNR)

SNR 是实际输入信号的 rms 值与低于奈奎斯特频率的所有其他频谱分量（不包括谐波和直流）的 rms 之比。SNR 的值以分贝表示。

信纳比 (SINAD)

SINAD 是实际输入信号的 rms 值与低于奈奎斯特频率的所有其他频谱分量（包括谐波，但不包括直流）的 rms 之比。SINAD 的值以分贝表示。

总谐波失真 (THD)

THD 是前五个谐波分量的 rms 值和与满量程输入信号的 rms 值的比值，以分贝表示。

无杂散动态范围 (SFDR)

SFDR 是输入信号的 rms 幅值与峰值杂散信号之间的差值（以分贝为单位）。

有效位数 (ENOB)

ENOB 是正弦波输入分辨率的测量值。它与 SINAD 有关，公式为

$$\text{ENOB} = (\text{SINAD}_{\text{dB}} - 1.76) / 6.02$$

并以位表示。

通道间串扰

通道间串扰是衡量任意两个相邻通道之间串扰水平的指标。它是通过向被测通道施加直流并向相邻通道施加满量程 100 kHz 正弦波信号来测量的。串扰是泄漏到测试通道的信号量，以分贝表示。

基准电压温度系数

基准电压温度系数由在 T_{MIN} 、 $T(25^{\circ}\text{C})$ 和 T_{MAX} 下测得的最大和最小基准输出电压 (V_{REF}) 下的 25°C 输出电压的典型偏移得出。它以 ppm/ $^{\circ}\text{C}$ 表示，公式为

$$\text{TCV}_{\text{REF}}(\text{ppm}/^{\circ}\text{C}) = \frac{V_{\text{REF}}(\text{Max}) - V_{\text{REF}}(\text{Min})}{V_{\text{REF}}(25^{\circ}\text{C}) \times (T_{\text{MAX}} - T_{\text{MIN}})} \times 10^6$$

其中：

$V_{\text{REF}}(\text{Max})$ = 在 T_{MIN} 、 $T(25^{\circ}\text{C})$ ，或 T_{MAX} 测得的最大值 $V_{\text{REF}0}$

$V_{\text{REF}}(\text{Min})$ = 在 T_{MIN} 、 $T(25^{\circ}\text{C})$ ，或 T_{MAX} 测得的最小值 $V_{\text{REF}0}$

$V_{\text{REF}}(25^{\circ}\text{C})$ = 在 25°C 测得的 $V_{\text{REF}0}$

$T_{\text{MAX}} = 125^{\circ}\text{C}_0$

$T_{\text{MIN}} = -40^{\circ}\text{C}_0$

9 工作原理

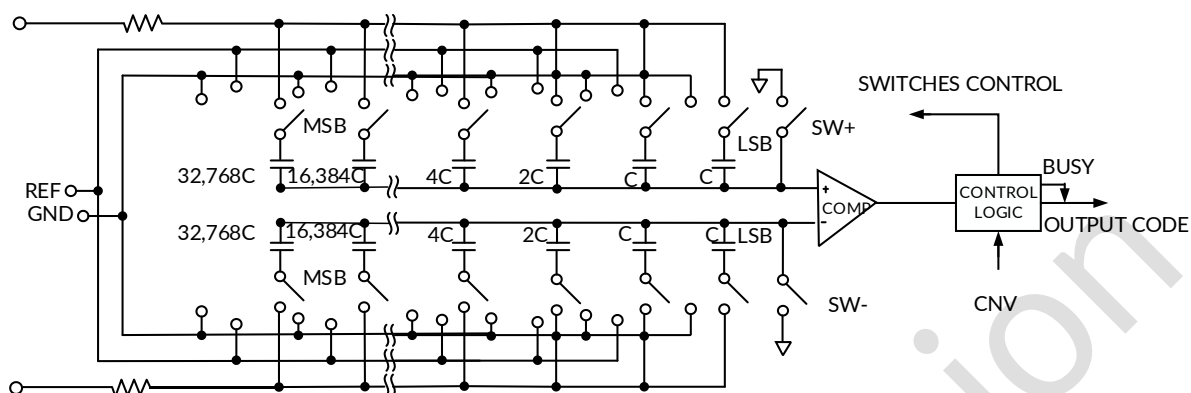


图 22. DC 简化原理图

9.1 概览

RS1434/RS1438 是 4 通道/8 通道、16 位、电荷再分配 SAR ADC。该器件能够每秒转换 250,000 个样本（250 kSPS），并在转换之间断电。例如，当使用外部基准以 1 kSPS 工作时，它们的典型功耗为 22 μ W，非常适合电池供电应用。

RS1434/RS1438 包含用于多通道、低功耗数据采集系统的所有组件，包括：

- 无失码的 16 位 SAR ADC
- 4 通道/8 通道, 低串扰的多路复用器
- 内部低温漂基准源和缓冲器
- 温度传感器
- 可选择的单极滤波器
- 通道时序控制器

这些元件通过 SPI 兼容的 14 位寄存器进行配置。转换结果也与 SPI 兼容，可以在转换后或转换期间读取，并可选择读取与转换相关的配置。

RS1434/RS1438 为用户提供片上采样保持功能，并且不会出现流水线延迟或等待时间。

RS1434/RS1438 的额定电压范围为 2.3V 至 5.5V，可连接任何 1.8V 至 5V 数字逻辑系列。它采用 20 引脚、4 mm $\times$ 4 mm 的 QFN20 封装，可节省空间并实现灵活的配置。它与 16 位 RS1488 引脚兼容。

9.2 转换器操作

RS1434/RS1438 是基于电荷再分配 DAC 的逐次逼近型 ADC。图 22 显示了 ADC 的简化原理图。电容式 DAC 由两个相同的 16 二进制加权电容器阵列组成，它们连接到两个比较器输入。

在采集阶段，与比较器输入相连的阵列端子通过 SW+ 和 SW- 连接到 GND。所有独立开关都连接到模拟输入。

电容器阵列用作采样电容器，并在 INx+ 和 INx-（或 COM）输入上采集模拟信号。当采集阶段完成且 CNV 输入变为高电平时，将启动转换阶段。当转换阶段开始时，SW+ 和 SW- 首先打开。然后，两个电容器阵列与

输入断开并连接到 GND 输入。因此，在采集阶段结束时捕获的 IN_{x+} 和 IN_{x-} （或 COM）输入之间的差分电压应用于比较器输入，导致比较器变得不平衡。通过在 GND 和 REF 之间切换电容器阵列的每个元件，比较器输入按二进制加权电压步长（ $V_{REF}/2$ 、 $V_{REF}/4 \dots V_{REF}/32,768$ ）变化。控制逻辑从 MSB 开始切换这些开关，以使比较器恢复平衡状态。完成此过程后，器件返回采集阶段，控制逻辑生成 ADC 输出代码和忙信号指示器。

由于 RS1434/RS1438 具有板载转换时钟，因此转换过程不需要串行时钟 SCK。

9.3 传递函数

当输入配置为单极性范围（单端、COM 与接地检测或与 IN_{x-} 差分配对作为接地检测）时，数据输出为直接二进制。

当输入配置为双极性范围（COM = $V_{REF}/2$ 或与 $IN_{x-} = V_{REF}/2$ 差分配对）时，数据输出是二进制补码。

RS1434/RS1438 的理想传输特性如图 23 所示，对于单极性和双极性范围，内部基准 4.096 V。

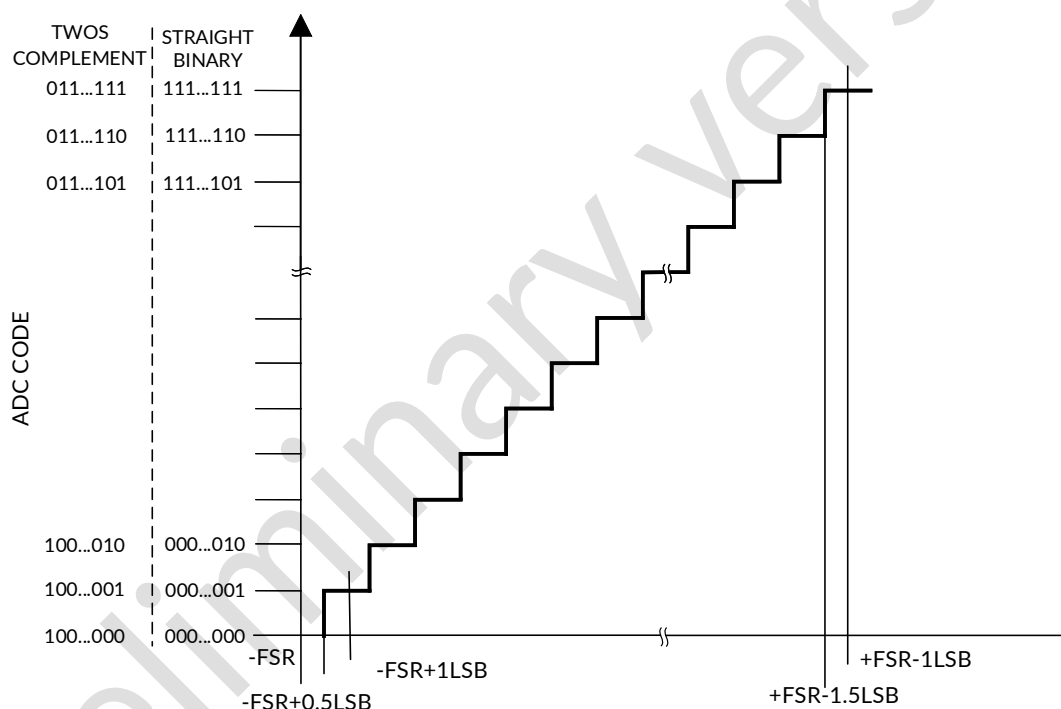


图 23. ADC 理想传递函数

表 1. 输出代码和理想输入电压

说明	单极性模拟输入 ⁽¹⁾ V_{REF} = 4.096 V	数字输出码 (标准二 进制十六进制)	双极性模拟输入 ⁽²⁾ V_{REF} = 4.096 V	数字输出码 (两进制补码 十六进制)
FSR – 1 LSB	4.095938V	0xFFFF ⁽³⁾	2.047938V	0x7FFF
Midscale + 1 LSB	2.048063V	0x8001	62.5μV	0x0001
Midscale	2.048V	0x8000	0V	0x0000
Midscale – 1 LSB	2.047938V	0x7FFF	-62.5μV	0xFFFF
-FSR + 1 LSB	62.5μV	0x0001	-2.047938V	0x8001
-FSR	0V	0x0000 ⁴	-2.048V	0x8000 ⁽⁴⁾

(2) 使用 COM 或 $IN_{x-} = V_{REF}/2$ 。

(3) 这也是超范围模拟输入(IN_{x+} - IN_{x-}) 或 COM, 高于 $V_{REF} - GND$ 的代码。

(4) 这也是欠范围模拟输入(IN_{x+} - IN_{x-} 或 COM, 低于 GND 的代码。

9.4 典型应用框图

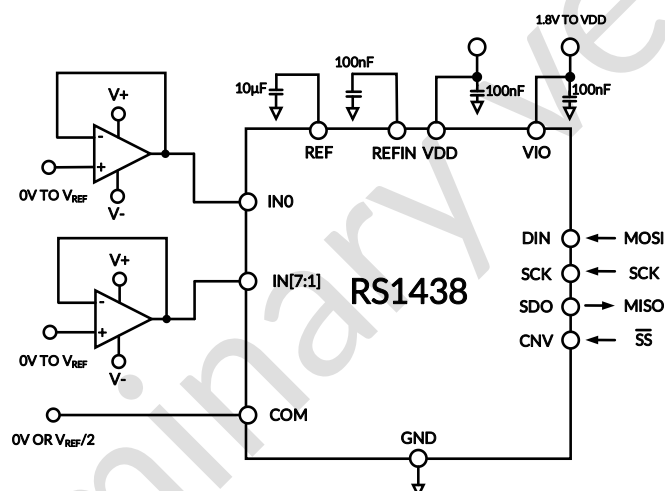


图 24. 采用多个电源的典型应用框图

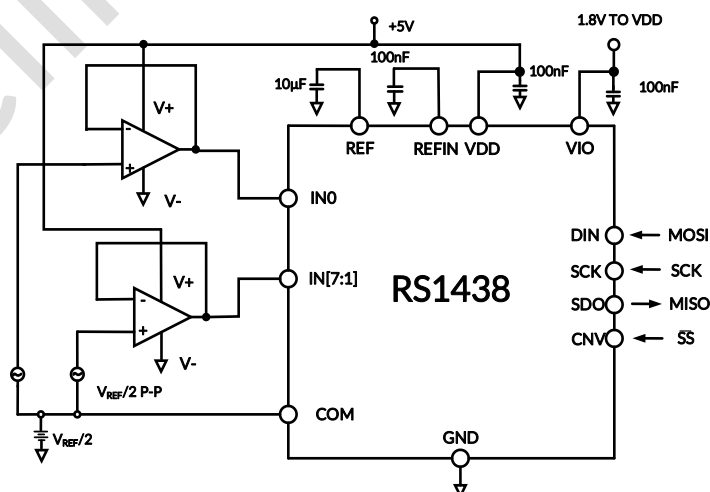


图 25. 使用双极性输入的典型应用框图

9.4.1 单极性或双极性

图 24 显示了当有多个电源可用时，RS1434/RS1438 的推荐连接图示例。

9.4.2 双极单电源

图 25 显示了一个具有双极性输入的系统示例，该系统使用带有内部基准的单电源（可选不同的 VIO 电源）。当放大器/信号调理电路位于远程且存在一些共模时，此电路也可使用。请注意，对于任何输入配置，IN_x 输入都是单极性的，并且始终以 GND 为基准（即使在双极性范围内也没有负电压）。对于该电路，可以使用轨到轨输入/输出放大器。但是，要考虑失调电压与输入共模范围的关系（ $V_{REF} = 4.096\text{ V}$ ， $1\text{ LSB} = 62.5\text{ }\mu\text{V}$ ）。请注意，当使用双极性输入配置时，转换结果为二进制补码格式。

9.5 模拟输入

9.5.1 输入架构

图 26 显示了 RS1434/RS1438 输入结构的等效电路。两个二极管 D1 和 D2 为模拟输入 IN[7: 0] 和 COM 提供 ESD 保护。必须注意确保模拟输入信号不超过电源轨 0.3V，因为这会导致二极管正向偏置并开始传导电流。

这些二极管可以处理最大 130 mA 的正向偏置电流。例如，当输入缓冲电源电压与 VDD 不同时，最终可能会发生这些情况。在这种情况下，例如，输入缓冲器短路，电流限制可用于保护器件。

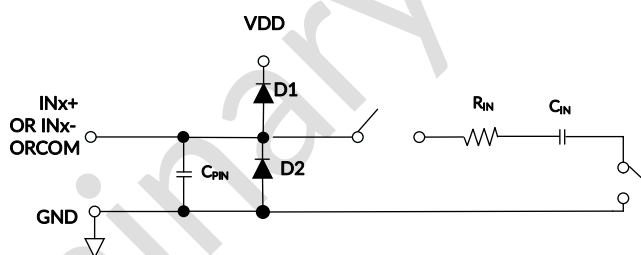


图 26. 等效模拟输入电路

这种模拟输入结构允许在 IN_{x+} 和 COM 或 IN_{x+} 和 IN_{x-} 之间对真实差分信号进行采样。（COM 或 IN_{x-} = $GND \pm 0.1\text{ V}$ 或 $V_{REF}/2 \pm 0.1\text{ V}$ ）。通过使用这些差分输入，两个输入的公共信号被抑制，如图 27 所示。

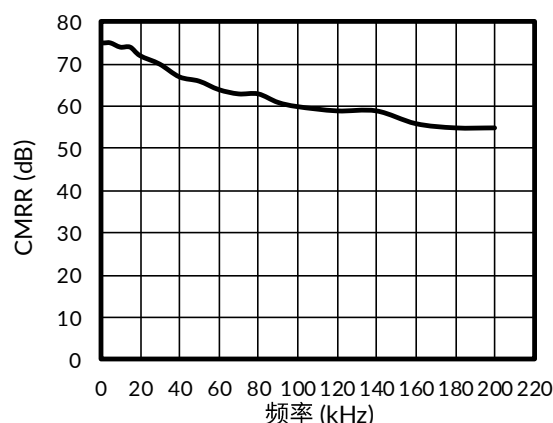


图 27. 模拟输入 CMRR 与频率的关系

在采集阶段，模拟输入的阻抗可以建模为电容器、 C_{PIN} 和由 R_{IN} 和 C_{IN} 串联形成的网络的并联组合。 C_{PIN} 主要是引脚电容。 R_{IN} 的典型值为 2.2 k Ω ，是一个集总元件，由串联电阻器和开关的导通电阻组成。 C_{IN} 通常为 27pF，主要是 ADC 采样电容。

9.5.2 可选低通滤波器

在转换阶段，当开关打开时，输入阻抗限制为 C_{PIN} 。当 RS1434/RS1438 正在采集时， R_{IN} 和 C_{IN} 构成一个单极低通滤波器，可减少不需要的混叠效应并限制来自驱动电路的噪声。低通滤波器可通过 CFG[6] 针对全带宽或 1/4 带宽进行编程，如表 3 所示。该设置将 R_{IN} 更改为 19k Ω 。请注意，使用滤波器时，转换器的吞吐量也必须降低 1/4。如果在带宽（BW）设置为 1/4 的情况下使用最大吞吐量，则会违反转换器采集时间 t_{ACQ} ，从而导致 THD 增加。

9.5.3 输入配置

图 28 显示了使用配置寄存器 CFG[12:10] 配置模拟输入的不同方法。有关更多详细信息，请参阅配置寄存器，CFG 部分。模拟输入可以按下图所示进行配置：

- 图 28（A），单端参考系统接地，CFG[12:10] = 111₂。在此配置中，所有输入 (IN[7:0]) 的范围为 GND 至 V_{REF0}
- 图 28（B），具有公共参考点的双极差分，COM = $V_{REF}/2$ ，CFG[12:10] = 010₂。单极差分，COM 连接到接地感应；CFG[12:10] = 110₂。在此配置中，所有输入 IN[7:0] 的范围为 GND 至 V_{REF0}
- 图 28（C），负输入通道以 $V_{REF}/2$ 为基准的双极差分对，CFG[12:10] = 00X₂。负输入通道以接地检测为基准的单极差分对，CFG[12:10] = 10X₂。在这些配置中，正输入通道具有 GND 到 V_{REF} 的范围。负输入通道是双极对称于 $V_{REF}/2$ 或 GND 的感应（对于单极对）。正通道配置为 CFG[9:7]。如果 CFG[9:7] 为偶数，则使用 IN0、IN2、IN4 和 IN6。如果 CFG[9:7] 为奇数，则使用 IN1、IN3、IN5 和 IN7，如图 28（C）中带括号的通道所示。例如，对于具有 IN0 上正通道的 IN0/IN1 对，CFG[9:7] = 000₂。对于在 IN5 上具有正通道的 IN4/IN5 对，CFG[9:7] = 101₂。请注意，对于通道排序器部分中详述的排序器，正通道始终为 IN0、IN2、IN4 和 IN6。
- 图 28（D），以上述任何组合配置的输入（表示 RS1434/RS1438 可以动态配置）

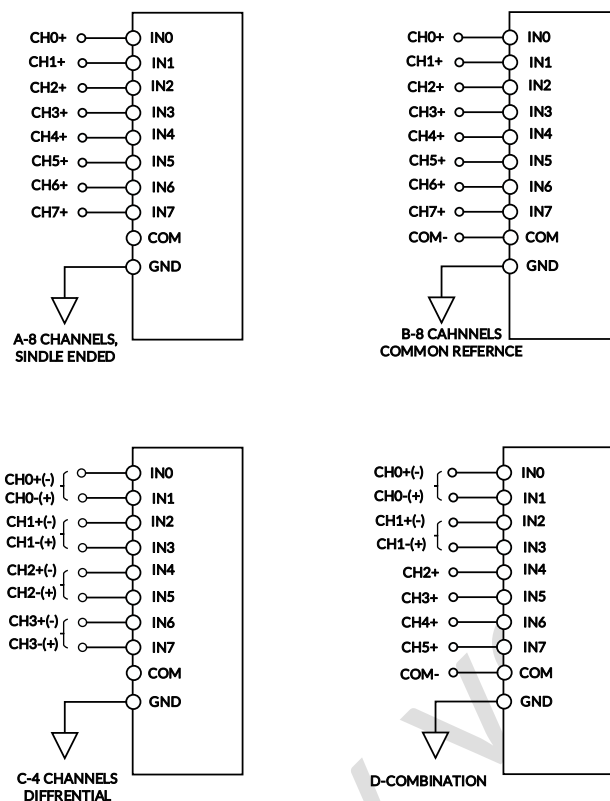


图 28. 多路复模拟输入配置

9.5.4 排序器

RS1434/RS1438 包括一个通道排序器，可用于以重复方式扫描通道。请参阅通道排序器部分，以了解有关排序器操作的更多详细信息。

9.5.5 源电阻

当驱动电路的源阻抗较低时，可以直接驱动 RS1434/RS1438。较大的源阻抗会显著影响交流性能，尤其是 THD。直流性能对输入阻抗不太敏感。最大源阻抗取决于可以容忍的 THD 量。THD 随源阻抗和最大输入频率而降低。

9.6 驱动放大器的选择

虽然 RS1434/RS1438 易于驱动，但驱动放大器必须满足以下要求：

- 驱动器放大器产生的噪声必须尽可能低，以保持 RS1434/RS1438 的 SNR 和转换噪声性能。请注意，RS1434/RS1438 的噪声远低于大多数其他 16 位 ADC，因此可以由噪声更大的放大器驱动，以满足给定的系统噪声规格。来自放大器的噪声由 R_{IN} 和 C_{IN} 制成的 RS1434/RS1438 模拟输入电路低通滤波器或外部滤波器（如果使用）过滤。由于 RS1434/RS1438 的典型噪声为 $35 \mu V_{rms}$ ($V_{REF} = 5 V$)，因此放大器引起的 SNR 降级为

$$SNR_{LOSS} = 20 \left(\log \frac{35}{\sqrt{35^2 + \frac{\pi}{2} f_{-3dB} (Ne_N)^2}} \right)$$

其中：

f_{-3dB} 是 RS1434/RS1438 的输入带宽，单位为兆赫兹（全带宽为 1.7 MHz，1/4 带宽为 425 kHz），或输入滤波器的截止频率（如果使用）。

N 是放大器的噪声增益（例如，在缓冲器配置中为 1）。

e_N 是运算放大器的等效输入噪声电压，单位为 $nV/\sqrt{Hz}$ 。

- 对于交流应用，驱动器必须具有与 RS1434/RS1438 相称的 THD 性能。图 16 显示了 RS1434/RS1438 的 THD 与频率的关系。
- 对于每个输入或输入对上的多通道多路复用应用，驱动放大器和 RS1434/RS1438 模拟输入电路必须在电容器阵列上以 16 位电平（0.0015%）建立满量程阶跃。在放大器数据手册中，更常见的是 0.1% 至 0.01% 的建立时间。这可能与 16 位级别的建立时间有很大不同，必须在选择驱动程序之前进行验证。

9.7 电压基准输出/输入

RS1434/RS1438 允许选择温度漂移极低的内部基准电压源、外部基准源或外部缓冲基准源。

RS1434/RS1438 的内部基准源提供了出色的性能，几乎可用于所有应用。有六种可能的基准电压源方案选择，如表 3 中简要描述，以下各节将提供更详细的信息。

9.7.1 内部基准源/温度传感器

精密内部基准源适用于大多数应用，可设置为 2.5V 或 4.096 V 输出，如表 3 所示。启用内部基准源后，REFIN 引脚上也存在带隙电压，这需要一个外部 0.1 μF 电容器。

启用基准源还启用了内部温度传感器，该传感器测量 RS1434/RS1438 的内部温度，因此可用于执行系统校准。对于需要使用温度传感器的应用，内部基准源必须启用（在这种情况下可以禁用内部缓冲器）。请注意，当使用温度传感器时，输出是以 RS1434/RS1438 GND 引脚为基准的直接二进制输出。

内部基准源经过温度补偿，误差在 10 mV 以内。基准源经过调整，可提供 ± 10 ppm/ $^{\circ}C$ 的典型漂移。如图 29 所示，连接 RS1434/RS1438 以获得 2.5 V 或 4.096 V 内部基准源。

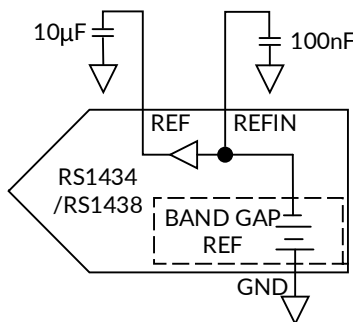


图 29. 2.5 V 或 4.096 V 内部基准连接

9.7.2 外部基准源和内部缓冲器

为了提高漂移性能，可以将外部基准源与内部缓冲器一起使用，如图 30 所示。外部源连接到 REFIN，输入连接到片上单位增益缓冲器，输出在 REF 引脚上产生。无论是否启用温度传感器，外部基准源都可以与内部缓冲器一起使用。请参阅表 3 了解寄存器详细信息。当缓冲器启用时，其增益为单位增益，且输入/输出电压范围受限于 $VDD - 0.2\text{ V}$ 。但是，允许的最大电压必须 $\leq VDD - 0.5\text{ V}$ 。

内部基准源缓冲器在多转换器应用中很有用，因为在这些应用中通常需要缓冲器。此外，可以使用低功耗基准源，因为内部缓冲器提供了驱动 RS1434/RS1438 的 SAR 架构所需的性能。

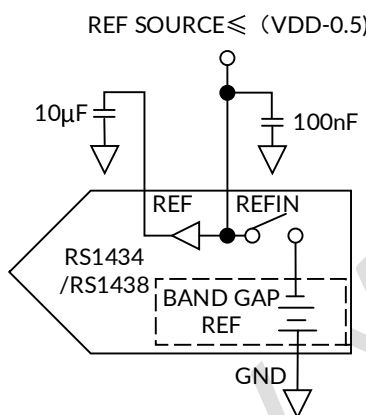


图 30. 使用内部缓冲器的外部基准

9.7.3 外部基准源

在这六种基准电压源方案中的任何一种中，外部基准源都可以直接连接到 REF 引脚上，如图 31 所示，因为 REF 的输出阻抗为 $>5\text{ k}\Omega$ 。为了降低功耗，请关闭基准源和缓冲器的电源。请参阅表 3 了解寄存器详细信息。

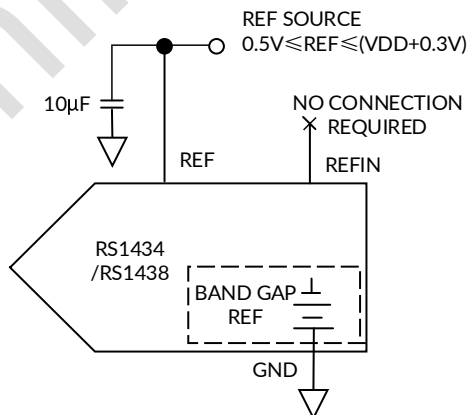


图 31. 外部基准

请注意，最佳 SNR 是使用 5 V 外部基准源实现的，因为内部基准源电压限制为 4.096 V。SNR 降级如下：

$$SNR_{\text{LOSS}} = 20 \log \frac{4.096}{5}$$

9.7.4 基准源解耦

无论是使用内部还是外部基准源，RS1434/RS1438 电压基准输出/输入 REF 都具有动态输入阻抗，并且必须由低阻抗源驱动，并在 REF 和 GND 引脚之间实现高效解耦。这种解耦取决于基准电压源的选择，但通常由一个连接到 REF 和 GND 的低 ESR 电容器组成，具有最小的寄生电感。

基准源去耦电容的布局对 RS1434/RS1438 的性能也很重要，如 PCB 版图设计部分所述。将带有粗 PCB 走线的去耦电容器安装在与 ADC 相同的 REF 引脚上。GND 还必须以最短的距离连接到基准源去耦电容器，并通过多个过孔连接到模拟接地层。如果需要，可以使用低至 2.2 μF 的较小基准去耦电容器值，对性能的影响最小，尤其是对 DNL 的影响。

无论如何，在 REF 和 GND 引脚之间不需要额外的低值陶瓷去耦电容器（例如，100 nF）。

对于使用多个 RS1434/RS1438 器件或其他 PulSAR 器件的应用，使用内部基准缓冲器来缓冲外部基准源电压会更有效，从而减少 SAR 转换串扰。

基准电压温度系数直接影响满量程；因此，在满量程精度很重要的应用中，必须注意温度系数。例如，基准源的 $\pm 10 \text{ ppm}/^\circ\text{C}$ 温度系数会以 $\pm 1 \text{ LSB}/^\circ\text{C}$ 的幅度改变满量程。

9.8 电源

RS1434/RS1438 使用两个电源引脚：一个模拟和数字核心电源（VDD）和一个数字输入/输出接口电源（VIO）。VIO 允许与 1.8 V 和 VDD 之间的任何逻辑直接接口。为了减少所需的电源，可以将 VIO 和 VDD 引脚连接在一起。RS1434/RS1438 独立于 VIO 和 VDD 之间的电源时序控制。此外，它们对宽频率范围内的电源变化非常不敏感，如图 32 所示。



图 32. 电源抑制比 (PSRR) 与频率的关系

RS1434/RS1438 在每个转换阶段结束时自动关闭。因此，工作电流和功率与采样率呈线性关系。这使得该器件非常适合低采样率（甚至几赫兹）和低电池供电的应用。

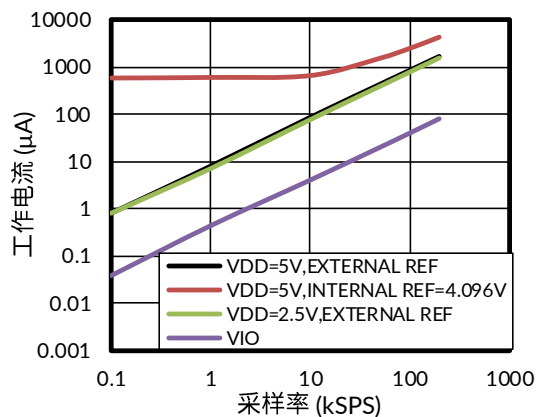


图 33. 工作电流与采样率的关系

9.9 基准源供电 ADC

对于简化的应用，RS1434/RS1438 具有低工作电流，可以使用外部基准源电路直接供电，如图 34 所示。

基准线可由以下因素驱动：

- 系统直接供电。
- 具有足够电流输出能力的基准电压源。
- 一个基准缓冲器。

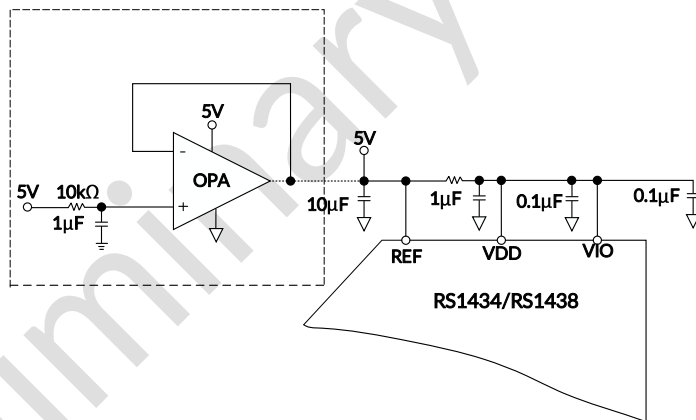


图 34. 应用电路示例

10 数字接口

RS1434/RS1438 使用简单的 4 线接口，并与 SPI、MICROWIRE™、QSPI™、数字主机和 DSP 兼容。

该接口使用 CNV、DIN、SCK 和 SDO 信号，并允许启动转换的 CNV 独立于回读时序。这在低抖动采样或同步采样应用中非常有用。

14 位寄存器 CFG[13:0] 用于配置要转换的通道、基准源选择和其他元件的 ADC，这些在配置寄存器，CFG 部分中有详细说明。

当 CNV 较低时，在转换、采集和跨转换（采集加转换）期间可能会发生读/写。CFG 字在前 14 个 SCK 上升沿更新，转换结果在前 15 个（或 16，如果选择繁忙模式）SCK 下降沿输出。如果启用了 CFG 回读，则需要额外的 14 个 SCK 下降沿来输出与转换结果相关的 CFG 字，CFG MSB 位于转换结果的 LSB 之后。

建议使用不连续的 SCK，因为选择器件时 CNV 为低，并且 SCK 活动开始写入新的配置字和时钟输出数据。

时序图表示转换期间的数字活动（SCK、CNV、DIN 和 SDO）。然而，由于性能可能会下降，数字活动只发生在安全数据读/写时间 t_{DATA} 之前，因为 RS1434/RS1438 提供的纠错电路可以在这段时间内纠正不正确的位。从 t_{DATA} 到 t_{CONV} ，没有纠错，转换结果可能会损坏。配置 RS1434/RS1438 并在 t_{DATA} 之前启动忙碌指示灯（如果需要）。也有可能通过在采样时刻附近出现 SCK 或 DIN 转换来破坏样品。因此，建议在 CNV 上升沿之前和之后保持数字引脚安静约 20 ns 和 10 ns，尽可能使用不连续 SCK，以避免任何潜在的性能下降。

10.1 转换期间读/写，快速主机

在转换 (n) 期间读/写时，转换结果是针对前一个 (n - 1) 转换的，写入 CFG 寄存器是针对下一个 (n + 1) 采集和转换的。在 CNV 变为高电平以启动转换后，必须再次将其变为低电平，以便在转换期间进行读/写操作。读/写只能发生在 t_{DATA} 之前，并且由于此时间有限，主机必须使用快速 SCK。所需的 SCK 频率计算公式为

$$f_{SCK} \geq \frac{\text{Number_SCK_Edges}}{t_{DATA}}$$

t_{DATA} 和 t_{CONV} 之间的时间是安全时间，此时数字活动不得发生，否则敏感位决策可能会损坏。

10.2 转换后读/写，任何速度主机

在转换后或采集 (n) 期间读/写时，转换结果是针对上一次 (n - 1) 转换的，写入结果是针对 (n + 1) 采集的。

对于最大吞吐量，唯一的时间限制是在 t_{ACQ} （最小）时间内进行读/写。对于慢速吞吐量，时间限制由用户所需的吞吐量决定，并且主机可以自由地以任何速度运行。因此，对于速度较慢的主机，数据访问必须在采集阶段进行。

10.3 读/写跨越转换，任何速度主机

读/写跨越转换时，数据访问从当前采集 (n) 开始，并跨越到转换 (n)。转换结果用于前一个 (n - 1) 转换，写入 CFG 寄存器用于下一个 (n + 1) 采集和转换。

与转换期间的读/写类似，读/写只能发生在 t_{DATA} 之前。对于最大吞吐量，唯一的时间限制是在 $t_{ACQ} + t_{DATA}$ 时间内进行读/写。

对于慢速吞吐量，时间限制由所需的吞吐量决定，主机可以自由地以任何速度运行。与采集期间的读/写类似，对于速度较慢的主机，数据访问必须在采集阶段进行，并有额外的转换时间。

数据访问跨转换需要将 CNV 驱动为高电平才能启动新的转换，并且当 CNV 较高时不允许数据访问。因此，使用此方法时，主机必须执行两次数据访问突发。

10.4 配置寄存器, CFG

RS1434/RS1438 使用 14 位配置寄存器（CFG[13:0]），如表 3 所示，用于配置输入、要转换的通道、单极滤波器带宽、基准源和通道排序器。CFG 寄存器在 DIN 上锁存（MSB 优先），具有 14 个 SCK 上升沿。CFG 更新依赖于边缘，允许异步或同步主机。

寄存器可以在转换期间、采集期间或跨采集/转换期间写入，并在转换结束时更新 t_{CONV} （最大值）。写入 CFG 寄存器时总是有一个很长的延迟。

上电时，CFG 寄存器未定义，需要两个虚拟转换来更新寄存器。要以出厂设置预加载 CFG 寄存器，需要将 DIN 保持为高电平进行两次转换（CFG[13:0] = 0x3FFF）。这会将 RS1434/RS1438 设置为以下各项：

- IN[7:0] 单极性位以 GND 为参考，按顺序排序。
- 单极滤波器的全带宽。
- 内部基准/温度传感器禁用，缓冲器启用。
- 启用内部排序器。
- 没有 CFG 寄存器的回读。

表 3 总结了配置寄存器位的详细信息。有关更多详细信息，请参阅工作原理部分。

表 2. 配置寄存器位名称

13	12	11	10	9	8	7	6	5	4	3	2	1	0
CFG	INCC	INCC	INCC	INx	INx	INx	BW	REF	REF	REF	SEQ	SEQ	RB

表 3. 配置寄存器说明

32 / 41

10.5 无忙碌指示器的通用时序

图 35 详细说明了所有三种模式的时序：转换期间读/写（RDC）、转换后读/写（RAC）和读/写跨越转换（RSC）。请注意，CFG 和数据回读的的门控项都位于转换结束（EOC）处。在 EOC 时，如果 CNV 较高，则禁用忙碌指示器。

如数字接口部分所述，数据访问必须在安全数据读/写时间 t_{DATA} 之前进行。如果在 EOC 之前未写入完整的 CFG 字，则将其丢弃并保留当前配置。如果在 EOC 之前没有完全读出转换结果，则当 ADC 使用当前转换的 MSB 更新 SDO 时，它将丢失。有关详细的时序，请参阅图 38 和图 39，它们描述了读/写跨度转换以及所有时序细节，包括设置、保持和 SCK。

当 CNV 在 EOC 后变为低电平时，SDO 从高阻抗驱动到 MSB。SCK 下降沿对以 MSB - 1 开头的位进行计时。

如果使用 SPI，则 SCK 可以根据时钟极性（CPOL）和时钟相位（CPHA）设置空闲时为高电平或低电平。一个简单的解决方案是使用 CPOL = CPHA = 0，如图 35 所示，SCK 空闲时转为低电平。

从上电开始，在任何读/写模式下，前三个转换结果都是不确定的，因为直到第二个 EOC 才会发生有效的 CFG；因此，需要两个虚拟转换。如果状态机在上电状态期间写入 CFG（所示为 RDC），则必须在下一阶段重写 CFG 寄存器。第一个有效数据出现在相位 (n+1) 中，当 CFG 寄存器在相位 (n-1) 期间写入时。

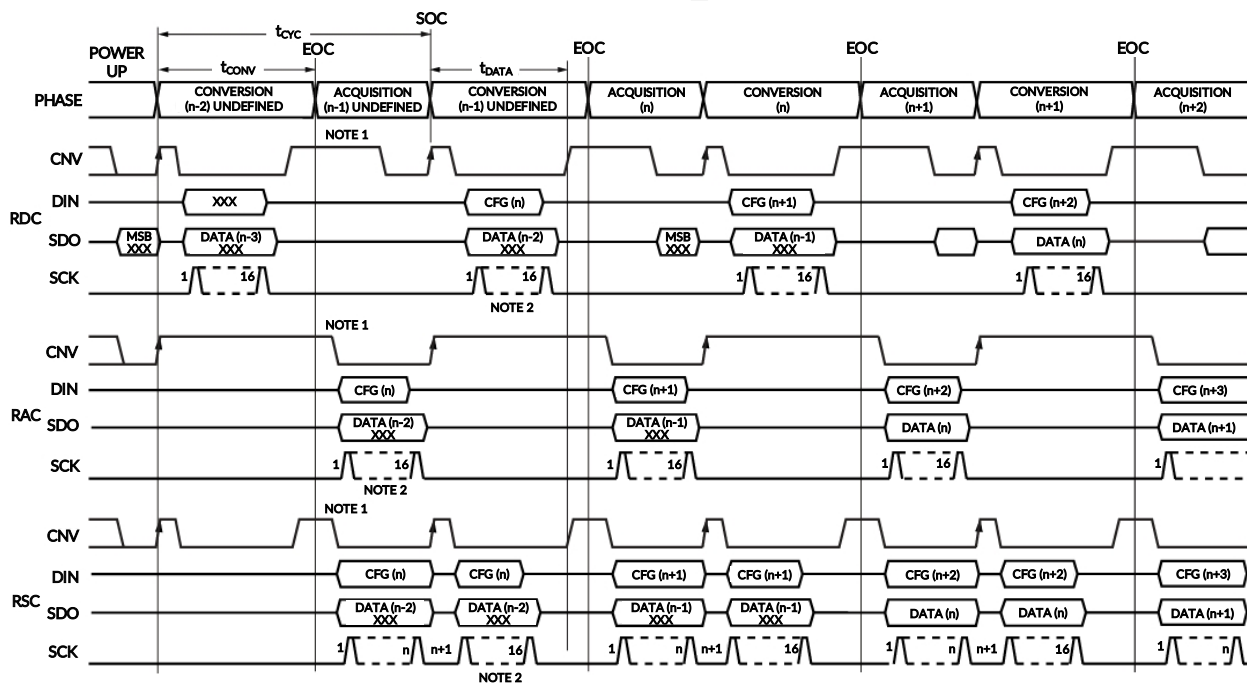


图 35. RS1434/RS1438 的通用接口时序，无忙碌指示器

注意

1. 在转换结束（EOC）之前，CNV 必须为高电平，以避免出现忙碌指示器。
2. 总共需要 16 个 SCK 下降沿才能将 SDO 返回到高阻态。如果使能 CFG 回读，则总共需要 30 个 SCK 下降沿才能将 SDO 返回到高阻态。

10.6 带忙碌指示器的通用时序

图 36 详细说明了所有三种模式的时序：RDC、RAC 和 RSC。请注意，CFG 和数据回读的门控项都在 EOC 处。数据访问必须在安全数据读/写时间 t_{DATA} 之前进行。如果在 EOC 之前未写入完整的 CFG 字，则将其丢弃并保留当前配置。

在 EOC 上，如果 CNV 为低电平，则忙碌指示灯启用。此外，为了正确生成忙碌指示器，主机必须持续至少 17 个 SCK 下降沿，才能将 SDO 返回到高阻抗，因为 SDO 上的最后一位仍然有效。与无忙碌指示器的读/写跨越转换部分中详述的情况不同，如果转换结果在 EOC 之前未完全读出，则保留最后一个时钟输出的位。如果该位为低电平，则无法生成忙碌指示器，因为忙碌产生需要高阻抗或剩余位的高低电平转换。一个很好的例子是当 SPI 主机发送 16 个 SCK 时，因为这些 SCK 通常仅限于 8 位或 16 位突发。因此，LSB 仍然存在。由于 RS1434/RS1438 的转换噪声峰峰值为 4 LSB（或更高），因此 LSB 在 50% 的时间内处于低水平。对于此接口，SPI 主机需要突发 24 个 SCK，或者可以使用 QSPI 接口并针对 17 个 SCK 进行编程。如果使用 SPI，则 SCK 可以空闲时为高电平或低电平，具体取决于 CPOL 和 CPHA 设置。一个简单的解决方案是使用 CPOL = CPHA = 1（未显示），其中 SCK 空闲时转为高电平。

从上电开始，在任何读/写模式下，前三个转换结果都是不确定的，因为直到第二个 EOC 才会发生有效的 CFG。因此，需要两个虚拟转换。此外，如果状态机在上电状态期间写入 CFG（所示为 RDC），则需要在下一阶段再次重写 CFG 寄存器。第一个有效数据出现在相位 (n + 1) 中，当 CFG 寄存器在相位 (n - 1) 期间写入时。

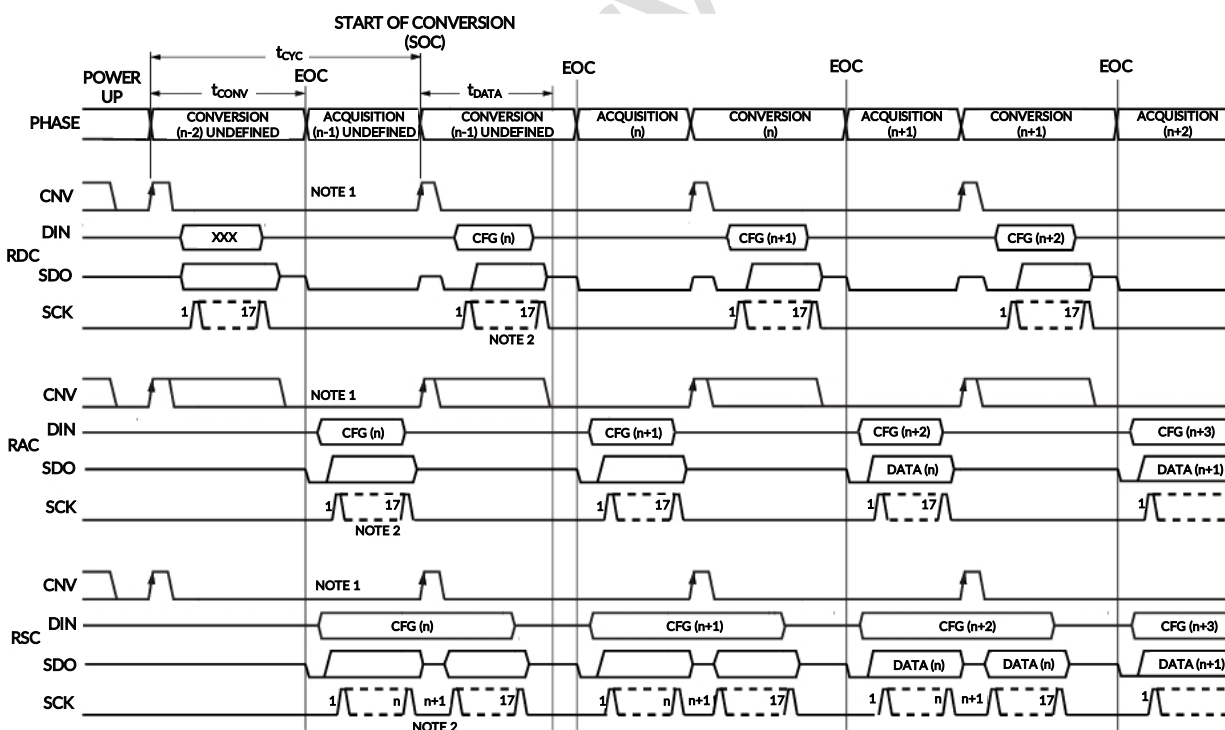


图 36. RS1434/RS1438 的通用接口时序，带忙碌指示器

注意

1. CNV 必须在转换结束（EOC）之前为低电平，才能生成忙碌指示器。
2. 总共需要 17 个 SCK 下降沿才能将 SDO 返回到高阻态。如果使能 CFG 回读，则总共需要 31 个 SCK 下降沿才能将 SDO 返回到高阻态。

10.7 通道排序器

RS1434/RS1438 包括一个通道排序器，可用于以重复方式扫描通道。在对最后一个通道进行排序后，通道被扫描为单个或成对，有无温度传感器。

排序器以 IN0 开始，以 CFG[9:7] 中设置的 IN[7:0] 结束。对于配对的通道，通道的配对取决于 CFG 中设置的最后一个通道[9:7]。请注意，在排序器模式下，通道始终与偶数通道（IN0、IN2、IN4 和 IN6）上的正输入配对，并与奇数通道（IN1、IN3、IN5 和 IN7）上的负输入配对。例如，设置 CFG[9:7] = 110 或 111 扫描所有正输入专用于 IN0、IN2、IN4 和 IN6 的对。

CFG[2:1] 用于启用排序器。更新 CFG 寄存器后，DIN 必须在读取 Bit 13 的数据时保持低电平，否则 CFG 寄存器再次开始更新。

请注意，在排序器中操作时，CFG 寄存器的某些位可以更改。但是，如果更改 CFG[11]（成对或单通道）或 CFG[9:7]（序列中的最后一个通道），则序列将在 CFG 寄存器更新后重新初始化并转换 IN0（或 IN0/IN1 对）。

图 37 详细说明了所有三种模式的时序，没有忙碌指示器。有关更多详细信息，请参阅无忙碌指示器的读/写跨越转换部分。排序器也可以与忙碌指示器一起使用，这些时序的详细信息可以在带忙碌指示器的通用时序部分和带忙碌指示器的读/写跨越转换部分找到。

对于排序器操作，必须在上电后的 (n - 1) 阶段设置 CFG 寄存器。在相位 (n) 上，进行排序器设置并获取 IN0。第一个有效的转换结果在阶段 (n + 1) 可用。转换 CFG[9:7] 中设置的最后一个通道后，输出内部温度传感器数据（如果启用），然后采集 IN0。

10.7.1 示例

当所有通道都配置为单极模式到 GND 时，包括内部温度传感器，序列按以下顺序扫描：

IN0, IN1, IN2, IN3, IN4, IN5, IN6, IN7, TEMP, IN0, IN1, IN2...

对于启用了内部温度传感器的配对通道，排序器按以下顺序扫描：

IN0, IN2, IN4, IN6, TEMP, IN0...

请注意，IN1、IN3、IN5 和 IN7 以 GND 检测或 $V_{REF}/2$ 为基准，详见输入配置部分。

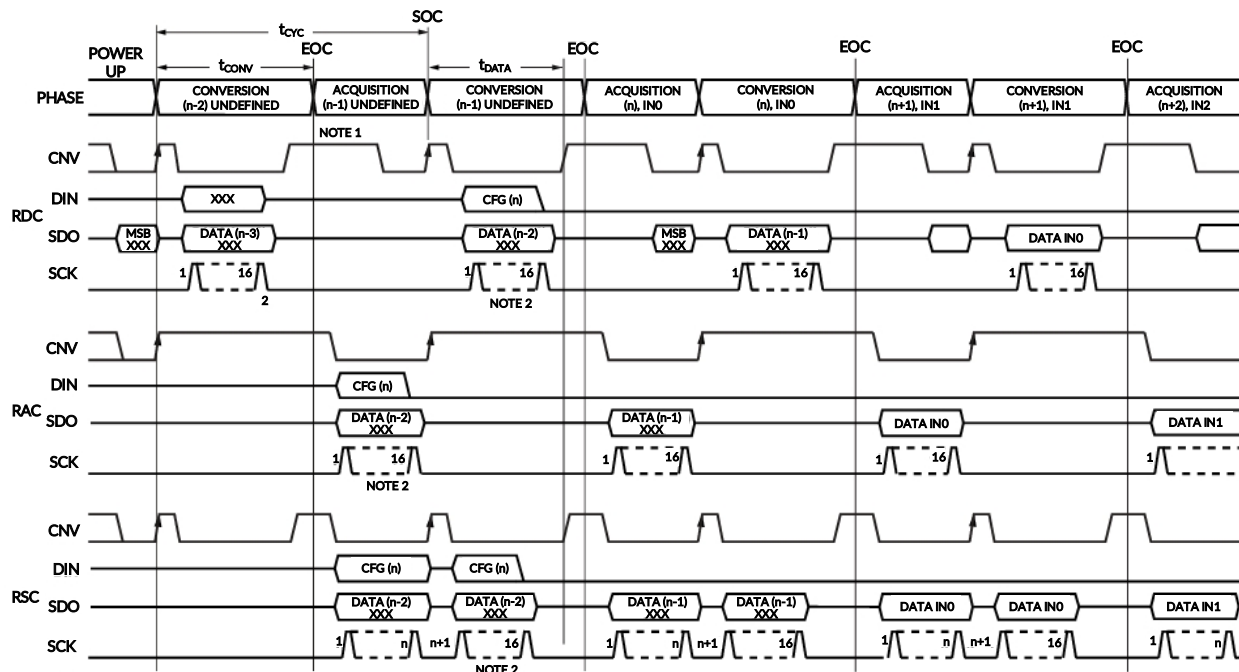


图 37. 无忙碌指示器的通用通道排序器时序

注意

1. 在转换结束（EOC）之前，CNV 必须为高电平，以避免出现忙碌指示器。
2. 总共需要 16 个 SCK 下降沿才能将 SDO 返回到高阻态。如果使能 CFG 回读，则总共需要 30 个 SCK 下降沿才能将 SDO 返回到高阻态。

10.8 无忙碌指示器的读/写跨越转换

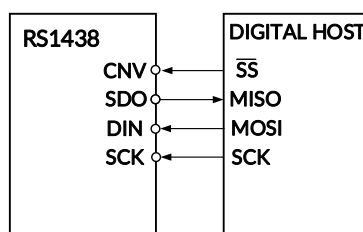
当 RS1434/RS1438 使用 SPI、串行端口或 FPGA 连接到任何主机时，使用此模式。连接图如图 38 所示，相应的时序如图 39 所示。对于 SPI，主机必须使用 CPHA = CPOL = 0。显示了读/写跨越转换，它涵盖了数字接口部分中详述的所有三种模式。对于此模式，主机必须根据转换时间生成数据传输。有关使用忙碌指示器的中断驱动传输，请参阅带忙碌指示器的读/写跨越转换部分。

CNV 上的上升沿启动转换，强制 SDO 为高阻抗，并忽略 DIN 上的数据。转换启动后，无论 CNV 的状态如何，它都会一直持续到完成。CNV 必须在安全数据传输时间 (t_{DATA}) 之前返回高电平，并在转换时间 (t_{CONV}) 之后保持高电平，以避免生成忙碌指示器。

转换完成后，RS1434/RS1438 进入采集阶段并断电。当主机在 t_{CONV} （最大值）后将 CNV 变为低电平时，MSB 在 SDO 上启用。主机还必须在此时（如有必要）启用 CFG 寄存器的 MSB 才能开始 CFG 更新。当 CNV 较低时，会同时发生 CFG 更新和数据回读。前 14 个 SCK 上升沿用于更新 CFG，前 15 个 SCK 下降沿以 MSB - 1 开始计时转换结果。配置和读取的限制是，它们都必须在下一次转换的 t_{DATA} 时间过去之前发生。必须写入 CFG[13:0] 的所有 14 位，否则将被忽略。此外，如果在 t_{DATA} 过去之前没有读回 16 位转换结果，则会丢失。

SDO 数据在两个 SCK 边沿上都有效。尽管上升沿可以捕获数据，但使用 SCK 下降沿的数字主机允许更快的读取速率，前提是它具有可接受的保持时间。在第 16 个（或第 30 个）SCK 下降沿之后，或者当 CNV 变为高电平（以先到者为准）时，SDO 返回到高阻态。

如果使能 CFG 回读，则与转换结果关联的 CFG 寄存器在转换结果的 LSB 之后首先回读 MSB。如果启用，则需要总共 30 个 SCK 下降沿才能将 SDO 返回到高阻抗。



FOR SPI USE CPHA=0,CPOL=0.

图 38. RS1434/RS1438 的连接图，无忙碌指示器

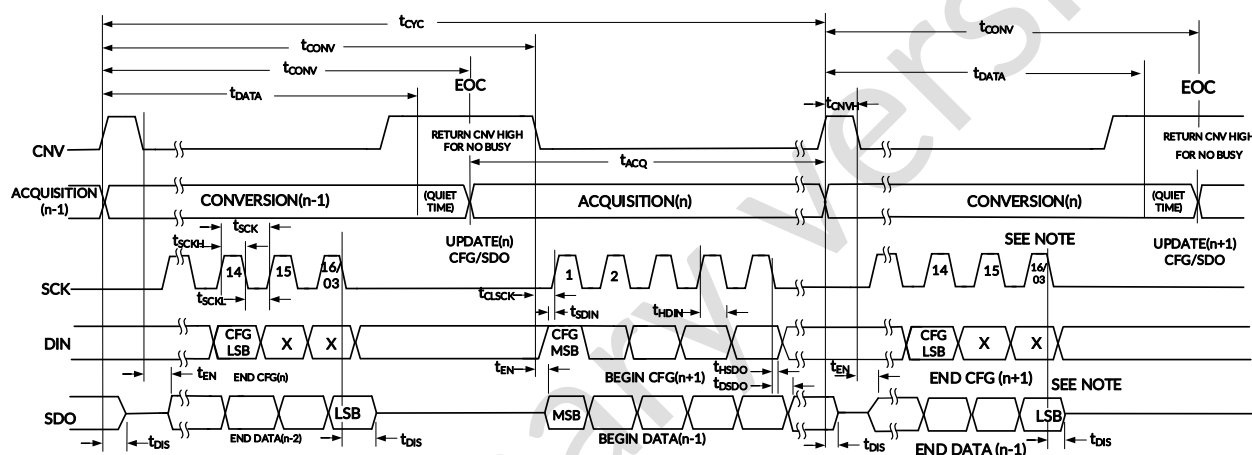


图 39. RS1434/RS1438 的串行接口时序，无忙碌指示器

注意

1. LSB 是用于转换结果或配置寄存器 CFG (n-1)

15 SCK 下降沿 = 转换结果的 LSB。

29 SCK 下降沿 = 配置寄存器的 LSB。

在第 16 个或第 30 个 SCK 下降沿，SDO 被驱动到高阻抗。

10.9 带忙碌指示器的读/写跨度转换

当 RS1434/RS1438 使用 SPI、串行端口或带有中断输入的 FPGA 连接到任何主机时，使用此模式。连接图如图 40 所示，相应的时序如图 41 所示。对于 SPI，主机必须使用 CPHA = CPOL = 1。显示了读/写跨越转换，它涵盖了数字接口部分中详述的所有三种模式。

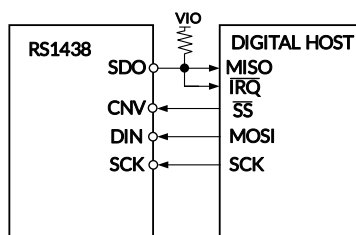
CNV 上的上升沿启动转换，忽略 DIN 上的数据，并强制 SDO 为高阻抗。转换启动后，无论 CNV 的状态如何，它都会一直持续到完成。CNV 必须在安全数据传输时间 (t_{DATA}) 之前返回为低电平，然后在转换时间 (t_{CONV}) 之后保持低电平，以生成忙碌指示器。转换完成后，SDO 从高阻抗转换为低阻抗（数据就绪），并通过上拉到 VIO，SDO 可用于中断主机以开始数据传输。

转换完成后，RS1434/RS1438 进入采集阶段并断电。主机必须在此时（如有必要）启用 CFG 寄存器的 MSB 才能开始 CFG 更新。当 CNV 为低电平，会同时发生 CFG 更新和数据回读。前 14 个 SCK 上升沿用于更

新 CFG 寄存器，前 16 个 SCK 下降沿从 MSB 开始计时转换结果。配置和读取的限制是，它们都发生在下一次转换的 t_{DATA} 时间过去之前。必须写入 CFG[13:0] 的所有 14 位，否则将被忽略。如果在 t_{DATA} 过去之前没有读回 16 位转换结果，则它会丢失。

SDO 数据在两个 SCK 边沿上都有效。尽管上升沿可以捕获数据，但使用 SCK 下降沿的数字主机允许更快的读取速率，前提是它具有可接受的保持时间。在可选的第 17 个（或第 31 个）SCK 下降沿之后，SDO 返回高阻抗。如果未使用可选的 SCK 下降沿，则无法检测到忙碌特性，如带忙碌指示器的通用时序部分所述。

如果使能 CFG 回读，则与转换结果关联的 CFG 寄存器在转换结果的 LSB 之后首先回读 MSB。如果启用，则需要总共 31 个 SCK 下降沿才能将 SDO 返回到高阻态。



FOR SPI USE CPHA=1,CPOL=1.

图 40. RS1434/RS1438 的连接图，带忙碌指示器

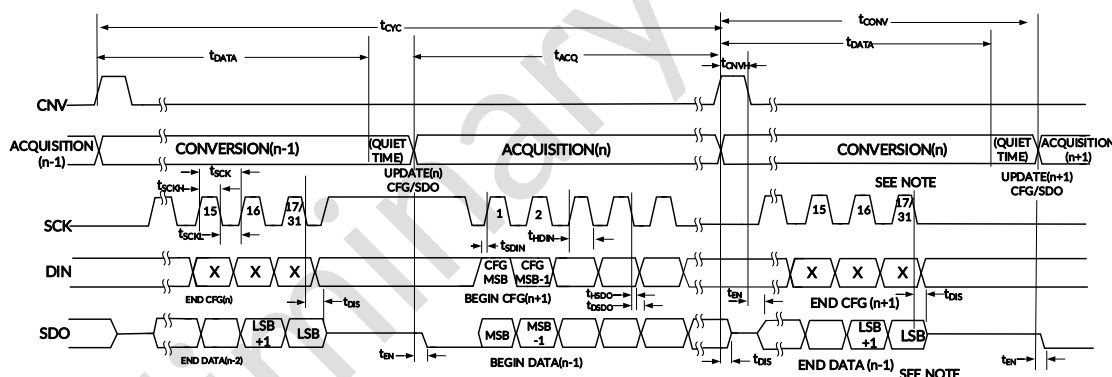


图 41. RS1434/RS1438 的串行接口时序，带忙碌指示器

注意：

1. LSB 是用于转换结果或配置寄存器 CFG (n-1)

16 SCK 下降沿 = 转换结果的 LSB。

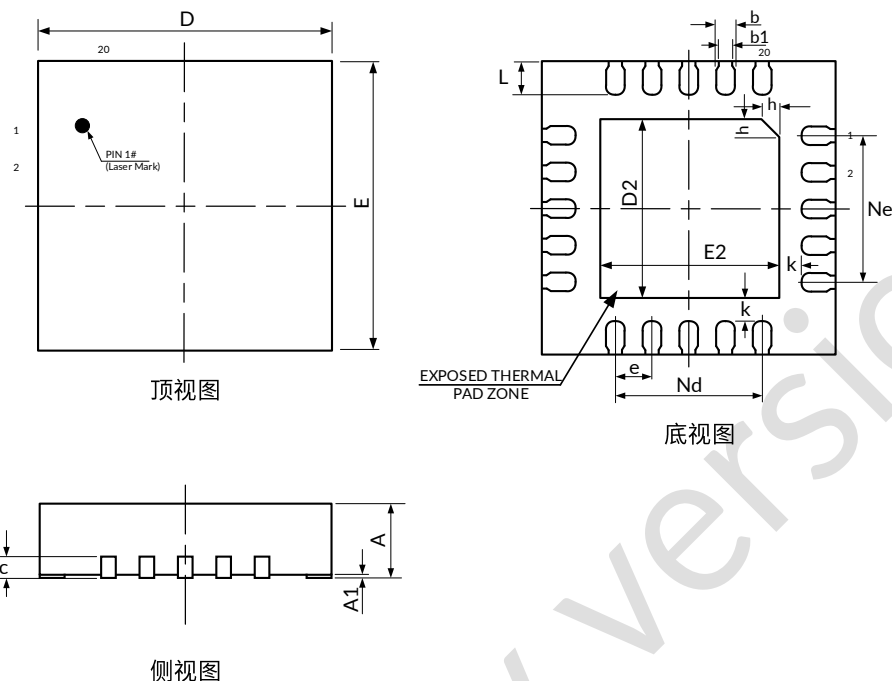
30 SCK 下降沿 = 配置寄存器的 LSB。

在第 17 个或第 31 个 SCK 下降沿，SDO 被驱动到高阻态。

否则，LSB 将保持活动状态，直到忙碌指示器被驱动为低电平。

11 封装规格尺寸

QFN4X4-20⁽⁴⁾



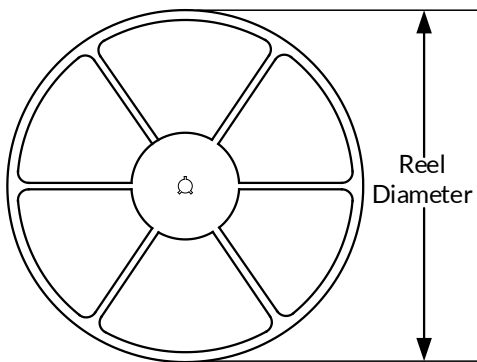
符号	尺寸 (单位: 毫米)		尺寸 (单位: 英寸)	
	最小值	最大值	最小值	最大值
A ⁽¹⁾	0.700	0.800	0.028	0.032
A1	0.000	0.050	0.000	0.002
b	0.200	0.300	0.008	0.012
b1	0.180 REF ⁽²⁾		0.008 REF ⁽²⁾	
c	0.203 REF ⁽²⁾		0.008 REF ⁽²⁾	
D ⁽¹⁾	3.900	4.100	0.154	0.161
D2	2.600	2.800	0.102	0.110
e	0.500 BSC ⁽³⁾		0.020 BSC ⁽³⁾	
Nd	2.000 BSC ⁽³⁾		0.079 BSC ⁽³⁾	
E ⁽¹⁾	3.900	4.100	0.154	0.161
E2	2.600	2.800	0.102	0.110
Ne	2.000 BSC ⁽³⁾		0.079 BSC ⁽³⁾	
L	0.350	0.450	0.014	0.018
K	0.250 REF ⁽²⁾		0.010 REF ⁽²⁾	
h	0.300	0.400	0.012	0.016

注意:

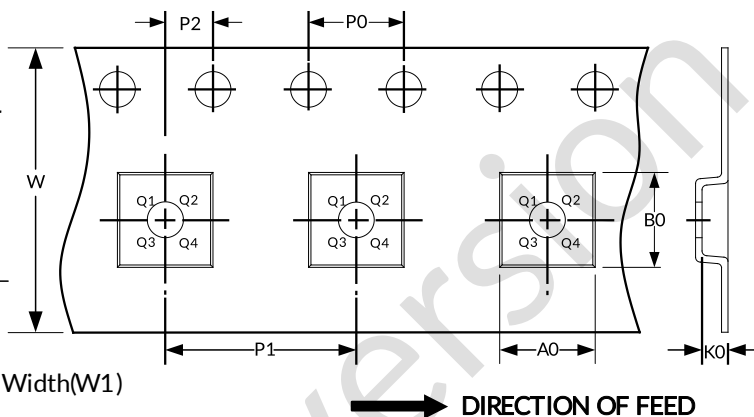
1. 不包括每侧最大 0.075mm 的塑封料或金属突起。
2. REF 是 Reference 的缩写。
3. BSC (基本中心间距), “基本”间距为标称间距。
4. 本图如有更改, 恕不另行通知。

12 包装规格尺寸

卷盘尺寸



编带尺寸



注意：图片仅供参考。请以实物为标准。

关键参数表

Package Type	Reel Diameter	Reel Width(mm)	A0 (mm)	B0 (mm)	K0 (mm)	P0 (mm)	P1 (mm)	P2 (mm)	W (mm)	Pin1 Quadrant
QFN4X4-20	13"	12.4	4.4	4.3	1.3	4.0	8.0	2.0	12.0	Q2

注意：

1. 所有尺寸均为标称尺寸。
2. 不包括每边最大 0.15 毫米的塑封料或金属突起。

重要通知及免责声明

江苏 Runic 科技有限公司将准确可靠地提供技术和可靠性数据 (包括数据表)、设计资源 (包括参考设计)、应用或其他设计建议、WEB 工具、安全信息等资源, 不保证无任何缺陷, 也不作任何明示或暗示的保证, 包括但不限于适用性保证, 暗示其适用于特定目的的应用。且没有侵犯任何第三方的知识产权。

这些资源适用于使用 Runic 产品设计的熟练开发人员, 您将全权负责: (1)为您的应用程序选择合适的产品; (2) 设计、验证和测试您的应用程序; (3) 确保您的应用程序符合适用标准、安全标准或其他要求; (4) Runic 及 Runic 标识为 Runic Incorporated 的注册商标。所有商标均为其各自所有者的财产; (5) 对于发生改变的细节, 应查看修订文件中包含的修订历史。资源如有更改, 恕不另行通知。本公司对使用本芯片设计的终端产品的侵犯专利的行为或侵犯第三方知识产权的行为不承担任何连带责任。